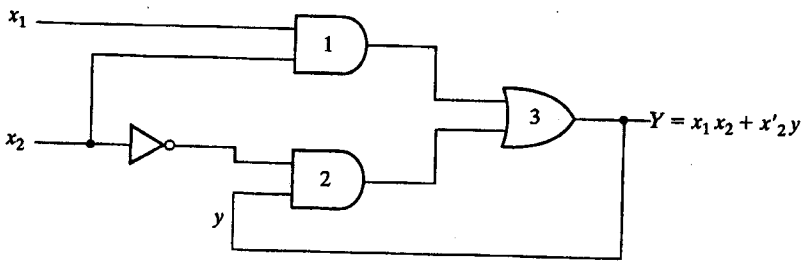
هزارد در مدارهای ترتیبی

در طراحی مدارهای ترکیبی معمولی که به همراه مدارهای ترتیبی همگام می‌آیند، چون سیگنال‌های لحظه‌ای خطا کلاً مشکل ساز نمی‌باشند، هزاردها مورد توجه نیستند. با این وجود اگر یک سیگنال لحظه‌ای نادرست در مدار ترتیبی غیرهمزمان پسخورد شود ممکن است سیستم را به حالت پایدار غلطی هدایت نماید. این مطلب در مثال شکل ۳۷-۹ نشان داده شده است. اگر مدار در حالت پایدارکلی $yx_1x_2 = 111$ باشد و ورودی x_2 از 1 به 0 تغییر نماید حالت پایدارکلی بعدی 110 خواهد بود. با این وجود، به علت هزارد، خروجی Y ممکن است یک لحظه به 0 برود. اگر قبل از این که خروجی وارونگر 1 شود، این سیگنال غلط به گیت 2 پسخورد گردد، خروجی گیت 2 در 0 مانده و مدار به حالت پایدارکل ناصحیح 010 خواهد رفت. این عملکرد نادرست را می‌توان با اضافه کردن یک گیت، طبق شکل ۳۶-۹، حذف کرد.

پیاده‌سازی با لچ SR

روشی دیگر برای اجتناب از هزارد در مدارهای ترتیبی غیرهمزمان، پیاده‌سازی با لچ‌های SR است. اعمال یک سیگنال آنی 0 به ورودی‌های S یا R در یک لچ NOR، تأثیری بر حالت مدار ندارد. به همین ترتیب اعمال یک سیگنال آنی 1 به ورودی‌های S و R روی حالت لچ تأثیر نخواهد داشت. در شکل ۳۳-۹ (ب) دیدیم که اگر هر دو ورودی گیت 3، 1 شوند، جمله جمع حاصلضرب‌های دو طبقه که با گیت‌های NAND پیاده‌سازی شده ممکن است هزارد 1 ایستا داشته و برای یک لحظه خروجی مدار را از 1 به 0 ببرد. اما اگر گیت 3 قسمتی از لچ باشد، سیگنال لحظه 1، اثری روی خروجی نخواهد داشت زیرا ورودی سومی از سمت متمم شده به گیت مذکور می‌آید و چون برابر 0 است خروجی در 1 باقی



(الف) نمودار منطقی

y \ x_1x_2	00	01	11	10
0			1	
1	1		1	1

(پ) نقشه برای Y

y \ x_1x_2	00	01	11	10
0	0	0	1	0
1	1	0	1	1

(ب) جدول گذر

شکل ۳۷-۹. هزارد در مدار ترتیبی همزمان

خواهد ماند. برای روشن شدن مطلب، لچ SR ساخته شده از NAND را با توابع بول زیر برای S و R در نظر بگیرید:

$$S = AB + CD$$
$$R = A'C$$

چون این یک لچ NAND است، باید متمم مقادیر را به ورودی‌ها اعمال کنیم:

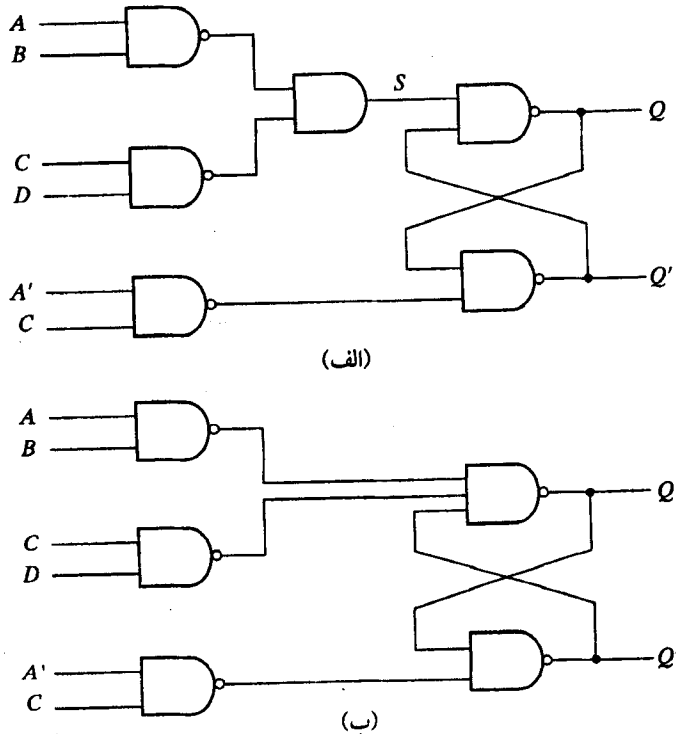
$$S = (AB + CD)' = (AB)'(CD)'$$
$$R = (A'C)'$$

این پیاده‌سازی در شکل ۳۸-۹ (الف) دیده می‌شود. S به کمک دو گیت NAND و یک گیت AND تولید می‌شود. تابع بول برای خروجی Q برابرست با

$$Q = (Q'S)' = [Q'(AB)'(CD)']'$$

این تابع در شکل ۳۸-۹ (ب) با گیت‌های NAND دو طبقه تولید شده است. اگر خروجی Q برابر 1 باشد، آنگاه Q′ برابر 0 است. اگر دو ورودی از سه ورودی یک لحظه به 1 بروند، گیت NAND مربوط به خروجی Q در 1 باقی خواهد ماند زیرا Q′ در 0 باقی می‌ماند.

شکل ۳۸-۹ (ب) نمونه مداری را نشان می‌دهد که در ساخت مدارهای ترتیبی غیرهمزمان به کار



شکل ۳۸-۹. یاده سازی لچ

می‌رود. دو گیت NAND تشکیل دهنده لچ معمولاً دو ورودی‌اند. با این وجود اگر توابع S و R حاوی دو جمله ضرب یا بیشتر در نمایش جمع حاصلضرب‌ها باشند، آنگاه گیت NAND متعلق به لچ SR سه یا چند ورودی خواهد داشت. به این ترتیب دو جمله در عبارت جمع حاصلضرب‌های اولیه عبارتند از AB و CD که هر یک با گیت NAND پیاده‌سازی شده‌اند و خروجی آنها به ورودی NAND لچ اعمال شده است. بنابراین هر متغیر حالت یک مدار دو طبقه با گیت‌های NAND است که هر جمله ضرب را در عبارت بولی اولیه S و R پیاده‌سازی می‌کند. طبقه دوم، اتصال تقاطعی لچ SR را با ورودی‌هایی که از خروجی هر گیت NAND در اولین طبقه می‌آیند، تشکیل می‌دهد.

هزاردهای اساسی

آنچه را که تاکنون بررسی نمودیم هزاردهای ایستا و پویا بودند. نوع دیگری از هزاردها در مدارهای ترتیبی غیرهمزمان وجود دارند که به آن هزارد اساسی می‌گویند. هزارد اساسی توسط تأخیرهای نابرابر که در طی دو یا چند مسیر از یک ورودی سرچشمه می‌گیرند، تولید می‌گردد. تأخیری بیش از حد در یک وارونگر در مقایسه با تأخیر ناشی از پسخورد می‌تواند عامل تولید چنین هزاردهایی باشد. هزاردهای اساسی را نمی‌توان همچون هزاردهای ایستا با افزودن گیت اصلاح کرد. مشکل مربوط به آنها را می‌توان با تنظیم تأخیر در مسیر مربوطه حل کرد. برای اجتناب از هزاردهای اساسی، هر حلقه پسخورد باید با دقت خاص مورد بررسی قرار گیرد و اطمینان حاصل شود که مسیر پسخورد به اندازه کافی در مقایسه با تأخیرهای دیگر سیگنال‌های واصله از پایانه‌های ورودی، طولانی است. به نظر می‌رسد این مشکل با توجه به وابستگی‌اش به مدار خاص و تأخیرهای متفاوت در مسیرهای مختلف، راه‌حل خاص در هر مدار را دارد.

۸-۹ مثال طراحی

اکنون در موقعیتی هستیم تا یک مثال طراحی، برای مدار ترتیبی غیرهمزمان را به طور کامل بررسی کنیم. این مثال می‌تواند به عنوان مرجعی برای طراحی مدارهای مشابه دیگر مورد استفاده قرار گیرد. ما روش طراحی را با اجرای مراحل پیشنهادی زیر که در انتهای بخش ۴-۹ لیست شده نشان خواهیم داد.

۱- بیان ویژگی‌ها یا مشخصات طرح
۲- ایجاد جدول روند اصلی
۳- کاهش جدول روند با ادغام سطرها
۴- تخصیص حالت دودویی فاقد رقابت
۵- تهیه جدول گذر و نقشه خروجی
۶- تهیه نمودار منطقی به کمک لچ‌های SR

ویژگی‌های طرح

می‌خواهیم یک فیلپ فلاپ T که در لبه منفی تریگر شود را طراحی کنیم. مدار دارای دو ورودی، T،

جدول ۶-۹. مشخصات حالتهای کلی

حالت	ورودی‌ها		خروجی	توضیحات
	T	C	Q	
a	1	1	0	خروجی اولیه 0 است
b	1	0	1	بعد از حالت a
c	1	1	1	خروجی اولیه 1 است
d	1	0	0	بعد از حالت c
e	0	0	0	بعد از حالات d یا f
f	0	1	0	بعد از حالات e یا a
g	0	0	1	بعداز حالات b یا h
h	0	1	1	بعد از حالات g یا c

C و یک خروجی Q است. اگر $T = 1$ باشد و پالس ساعت C از 1 به 0 تغییر کند (تریگر با لبه منفی)، خروجی متمم می‌شود. در غیر این صورت تحت هر وضعیت ورودی دیگر، خروجی بدون تغییر باقی می‌ماند. اگرچه این مدار می‌تواند به عنوان یک فیلپ فلاپ در مدارهای ترتیبی ساعت‌دار مورد استفاده قرار گیرد، ولی طراحی درونی آن یک مسئله غیرهمزمان است.

جدول روند اصلی

اگر در ابتدا جدولی از کلیه حالات ممکن در مدار تهیه کنیم، ایجاد جدول روند اولیه می‌تواند ساده‌تر شود. این کار در جدول ۶-۹ نشان داده شده است. ما با حالت $TC = 11$ شروع و آن را به حالت a منتسب می‌کنیم. وقتی که C از 1 به 0 می‌رود ولی T در 1 ثابت است، مدار به حالت b رفته و خروجی Q از 0 به 1 متمم می‌شود. تغییر دیگر در خروجی وقتی رخ می‌دهد که مدار از حالت c به حالت d برود. در این حالت $T = 1$، C از 1 به 0 و خروجی از 1 به 0 متمم می‌شود. چهار حالت دیگر در جدول خروجی را عوض نمی‌کنند زیرا T برابر 0 است. اگر Q از ابتدا 0 باشد، در 0 باقی می‌ماند، و اگر در 1 باشد حتی با تغییر ورودی ساعت در همان 1 باقی خواهد ماند. این اطلاعات شش حالت کلی را نتیجه می‌دهند. توجه داشته باشید که گذر همزمان دو متغیر ورودی مثل 01 به 10 به حساب نیامده‌اند زیرا آنها شرایط عملکرد مد اساسی را زیر سؤال می‌برند.

جدول روند اصلی در شکل ۳۹-۹ دیده می‌شود. اطلاعات جدول روند را می‌توان مستقیماً از شرایط لیست شده در جدول ۶-۹ بدست آورد. ما ابتدا یک مربع مربوط به هر حالت با ثبات در هر سطر را، طبق جدول، پر می‌کنیم. سپس در مربع‌هایی که ورود آنها با ورودی‌های متناظر در حالت پایدار دو اختلاف دارد خط تیره می‌گذاریم. آنگاه شرایط بی‌ثباتی با استفاده از اطلاعات لیست شده در زیر ستون توضیحات در جدول ۶-۹ معین می‌شود.

ادغام جدول روند

برای ادغام سطرهای جدول روند اصلی، ابتدا همه جفت حالات سازگار بدست می‌آیند. این کار با به

	TC 00	01	11	10
a	$-,-$	$f,-$	$(a),0$	$b,-$
b	$g,-$	$-,-$	$c,-$	$(b),1$
c	$-,-$	$h,-$	$(c),1$	$d,-$
d	$e,-$	$-,-$	$a,-$	$(d),0$
e	$(e),0$	$f,-$	$-,-$	$d,-$
f	$e,-$	$(f),0$	$a,-$	$-,-$
g	$(g),1$	$h,-$	$-,-$	$b,-$
h	$g,-$	$(h),1$	$c,-$	$-,-$

شکل ۳۹-۹ . جدول روند اصلی

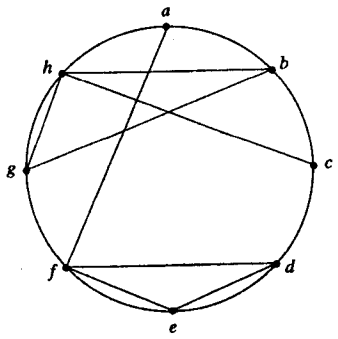
کارگیری جدول ایجاب شکل ۴۰-۹ انجام می‌شود. مربعاتی که دارای علامت تأیید (✓) هستند جفت‌های سازگار را تعریف می‌کنند:

$$(a,f)\quad (b,g)\quad (b,h)\quad (c,h)\quad (d,e)\quad (d,f)\quad (e,f)\quad (g,h)$$

سازگارهای ماکزیمال از روی نمودار ادغام شکل ۴۱-۹ بدست می‌آیند. الگوهای هندسی موجود در

	a	b	c	d	e	f	g
b	$a,c\times$						
c	$\times$	$b,d\times$					
d	$b,d\times$	$\times$	$a,c\times$				
e	$b,d\times$	$e,g\times$ $b,d\times$	$f,h\times$	✓			
f	✓	$e,g\times$ $a,c\times$	$f,h\times$ $a,c\times$	✓	✓		
g	$f,h\times$	✓	$b,d\times$	$e,g\times$ $b,d\times$	$\times$	$e,g\times$ $f,h\times$	
h	$f,h\times$ $a,c\times$	✓	✓	$d,e\times$ $c,f\times$	$e,g\times$ $f,h\times$	$\times$	✓

شکل ۴۰-۹ . جدول ایجاب



شکل ۴۱-۹. نمودار ادغام

نمودار مذکور شامل دو مثلث و دو خط راست است. مجموعه سازگار ماکزیمال عبارت است از:

$$(a, f) \quad (b, g, h) \quad (c, h) \quad (d, e, f)$$

در این مثال خاص، مجموعه سازگارهای مینیمال، همان مجموعه سازگارهای ماکزیمال است. توجه کنید که شرط بسته بودن برقرار است زیرا هر چند h و f تکرار شده‌اند، ولی مجموعه فوق شامل هر هشت حالت اصلی جدول روند می‌باشد. شرط پوششی بودن نیز بر آورده شده است زیرا کلیه زوج‌های سازگار، طبق جدول ایجاب، دارای حالات موجب نیستند.

جدول کاهشی یافته در شکل ۴۲-۹ دیده می‌شود. شکل (الف) سمبل‌های حالت اولیه را داراست ولی سطرهای مربوطه را ادغام نموده است. مثلاً، حالت a و f سازگارند و به یک سطر کاهش یافته‌اند ولی سمبل‌های حرفی اولیه در آن حفظ شده است. به طور مشابه مجموعه سازگار دیگر حالات برای ادغام جدول روند در چهار سطر به کار رفته‌اند و هشت سمبل اولیه را نگهداشته‌اند. روش دیگر ترسیم جدول روند ادغام شده است که در قسمت (ب) شکل ملاحظه می‌شود. ما در اینجا به کلیه حالت‌های پایدار در سطر ادغام شده یک سمبل حرفی مشترک نسبت داده‌ایم. بنابراین، سمبل f با a، و g و h با b جایگزین و به همین ترتیب در سطرهای بعدی عمل شده است. دومین جدول به وضوح یک جدول روند چهار حالته را فقط با چهار سمبل حرفی نشان می‌دهد.

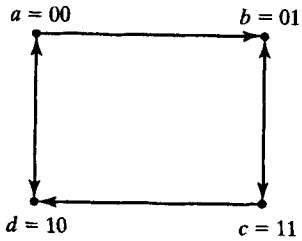
	TC 00	01	11	10
a, f	e, –	(f), 0	(a), 0	b, –
b, g, h	(g), 1	(h), 1	c, –	(b), 1
c, h	g, 1	(h), 1	(c), 1	d, –
d, e, f	(e), 0	(f), 0	a, –	(d), 0

(الف)

	TC 00	01	11	10
a	d, –	(a), 0	(a), 0	(b), –
b	(b), 1	(b), 1	c, –	(b), 1
c	b, –	(c), 1	(c), 1	d, –
d	(d), 0	(d), 0	a, –	(d), 0

(ب)

شکل ۴۲-۹. جدول روند کاهش یافته



شکل ۴۳-۹ . نمودار گذر

تخصیص حالت و جدول گذر

قدم بعدی در طراحی یافتن تخصیص بی‌رقابت برای چهار حالت پایدار موجود در جدول روند کاهش یافته است. برای یافتن یک تخصیص همجوار مناسب، ما نمودار گذر آن را طبق شکل ۴۳-۹ رسم می‌کنیم. در این مثال چون خطوط قطری وجود ندارد بدون نیاز به حالات اضافی می‌توان یک تخصیص همجوار مناسب بدست آورد.

با جایگزینی تخصیص دودویی نمودار گذر در جدول روند کاهش یافته، جدول گذر شکل ۴۴-۹ بدست می‌آید. نقشه خروجی از جدول روند کاهش یافته حاصل می‌شود. خطوط تیره در بخش خروجی مقادیر تخصیصی بر طبق قواعد برپا شده در بخش ۴-۹ است.

نمودار منطقی

مداری که باید طراحی شود دارای دو متغیر حالت Y_1 و Y_2 و یک خروجی Q است. نقشه خروجی شکل ۴۴-۹ نشان می‌دهد که Q برابر با متغیر حالت y_2 می‌باشد. پیاده‌سازی مدار به دو لچ SR نیاز دارد که هر کدام متعلق به یک متغیر حالت است. نقشه ورودی‌های S و R دو لچ در شکل ۴۵-۹ آورده

TC

y_1y_2	00	01	11	10
$a = 00$	10	(00)	(00)	01
$b = 01$	(01)	(01)	11	(01)
$c = 11$	01	(11)	(11)	10
$d = 10$	(10)	(10)	00	(10)

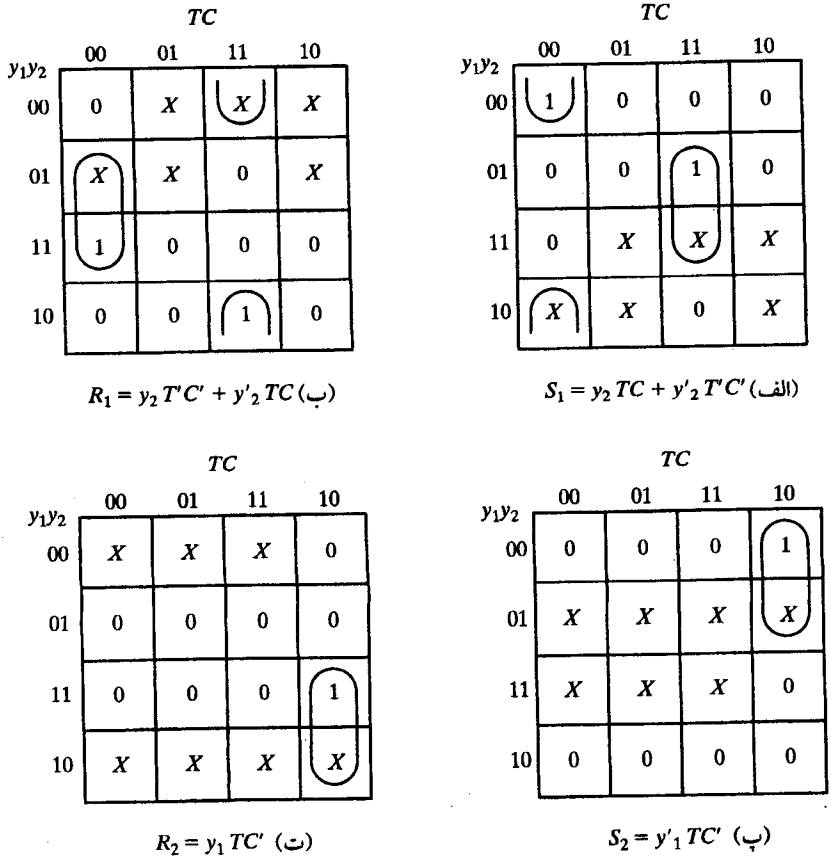
(الف) جدول گذر

TC

y_1y_2	00	01	11	10
00	0	0	0	X
01	1	1	1	1
11	1	1	1	X
10	0	0	0	0

(ب) نقشه خروجی $Q = y_2$

شکل ۴۴-۹ . جدول گذر و نقشهٔ خروجی

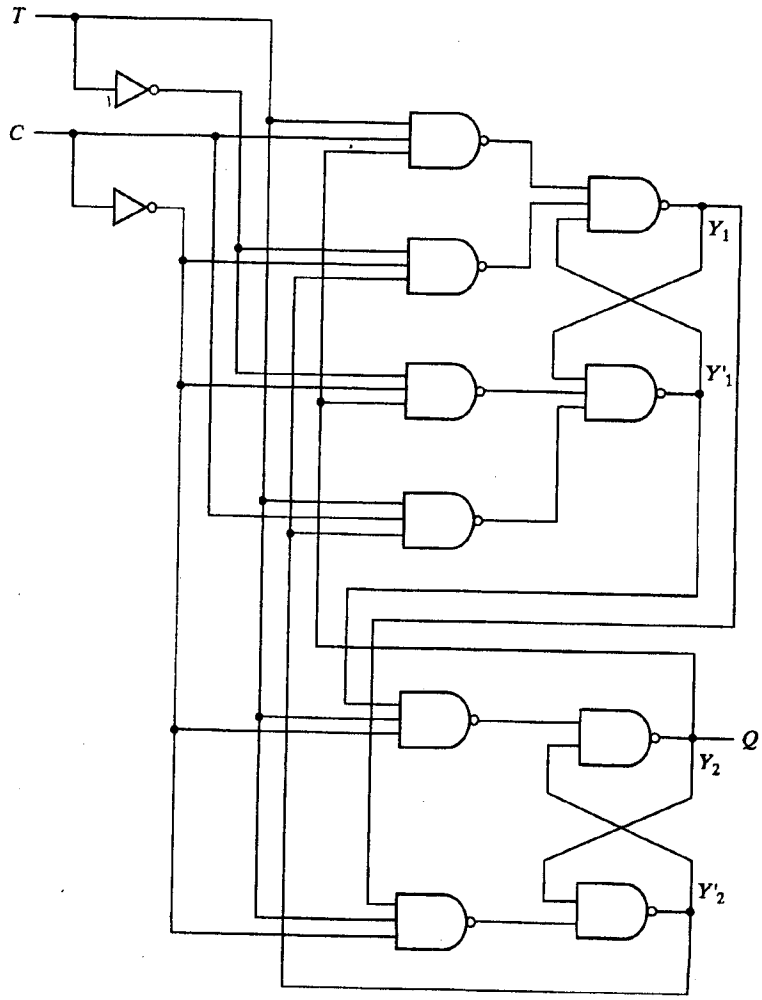


شکل ۴۵-۹ . نقشه‌های ورودی‌های لچ

شده‌اند. نقشه‌ها از اطلاعات موجود در جدول گذر و با استفاده از شرایط مشخص شده در جدول تحریک لچ در شکل ۱۴-۹ (ب) بدست آمده‌اند.

نمودار منطقی مدار در شکل ۴۶-۹ رسم شده است. در اینجا دو لچ NAND با دو یا سه ورودی در هر گیت به کار رفته است. این پیاده‌سازی، مطابق با الگوی ایجاد شده در بخش ۷-۹ همراه با شکل ۳۸-۹ (ب) انجام شده است.

این مثال، پیچیدگی موجود در طراحی مدارهای ترتیبی همگام را نشان می‌دهد. برای بدست آوردن نمودار نهایی مدار می‌بایست ده نمودار تهیه کنیم. اگر چه بیشتر مدارهای دیجیتال همزمان هستند اما گاهی با عملیات غیرهمزمان هم مواجه می‌شویم. خصوصیات مبنای ارائه شده در این فصل برای درک کامل نحوه عملکرد داخلی مدارهای دیجیتال ضروری می‌باشند.

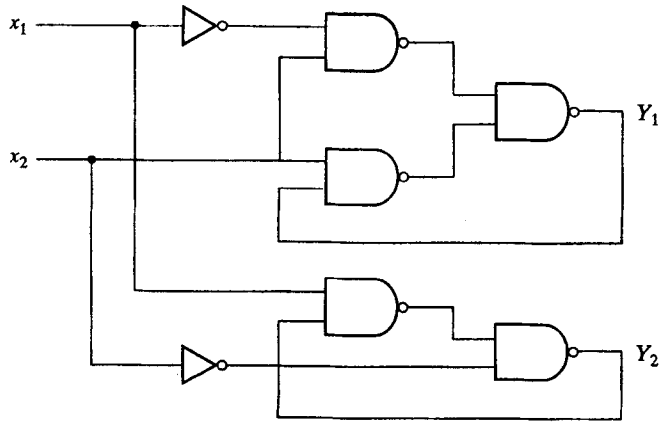


شکل ۴۶-۹. نمودار منطقی یک فلیپ فلاپ T که در لبهٔ منفی تریگر می‌شود.

مسائل

۹-۱ (الف) تفاوت بین مدارهای ترتیبی همزمان و غیرهمزمان را شرح دهید.
(ب) عملیات مد اساسی را تعریف کنید.
(پ) تفاوت بین حالات پایدار و ناپایدار را شرح دهید.
(ت) تفاوت بین یک حالت داخلی و یک حالت کلی چیست؟

۹ـ۲ جدول گذر مدار ترتیبی غیرهمزمان شکل (م ۹-۲) را بدست آورید. رشته حالات داخلی Y_1Y_2 را برای رشته ورودی‌های زیر مشخص کنید. x_1x_2 : 00, 10, 11, 01, 11, 10, 00



شکل (م ۹-۲)

۹ـ۳ یک مدار ترتیبی غیرهمزمان با توابع تحریک و خروجی زیر تعریف شده است:

$$Y = x_1x_2' + (x_1 + x_2')y$$
$$z = y$$

(الف) نمودار منطقی مدار را بکشید.
(ب) جدول گذر و نقشه خروجی را بکشید.
(پ) جدول روند دو حالتی را تهیه کنید.
(ت) رفتار مدار را شرح دهید.

۹ـ۴ یک مدار ترتیبی غیرهمزمان دارای دو حالت داخلی و یک خروجی است توابع تحریک و خروجی توصیف کننده مدار به این شرح هستند.

$$Y_1 = x_1x_2 + x_1y_2' + x_2'y_1$$
$$Y_2 = x_2 + x_1y_1'y_2 + x_1'y_1$$
$$z = x_2 + y_1$$

(الف) نمودار منطقی مدار را رسم کنید.
(ب) جدول گذر و نقشه خروجی را بدست آورید.
(پ) جدول روند را برای مدار بدست آورید.

	x_1x_2 00	01	11	10
a	(a), 0	b , –	c , –	(a), 1
b	a , –	(b), 0	(b), 0	c, –
c	a , –	b , –	(c), 1	(c), 0

شکل (م ۹-۵)

۹-۵ جدول روند شکل (م ۵-۹) را با تخصیص مقادیر دودویی $a = 00$، $b = 11$ و $c = 01$ به جدول گذر تبدیل کنید.

(الف) به چهارمین حالت اضافی مقادیری تخصیص دهید تا از رقابت بحرانی اجتناب شود.

(ب) به حالات بی‌اهمیت خروجی‌هایی تخصیص دهید تا از خروجی‌های نادرست لحظه‌ای جلوگیری شود.

(پ) نمودار منطقی مدار را بدست آورید.

۹-۶ جدول (م ۶-۹) را بررسی کرده و همه شرایط رقابت را معین نمایید و بگویید بحرانی‌اند یا غیربحرانی. آیا چرخه یا سیکلی هم در جدول وجود دارد یا خیر.

y_1y_2 \ x_1x_2	00	01	11	10
00	10	(00)	11	10
01	(01)	00	10	10
11	01	00	(11)	(11)
10	11	00	(10)	(10)

شکل (م ۶-۹)

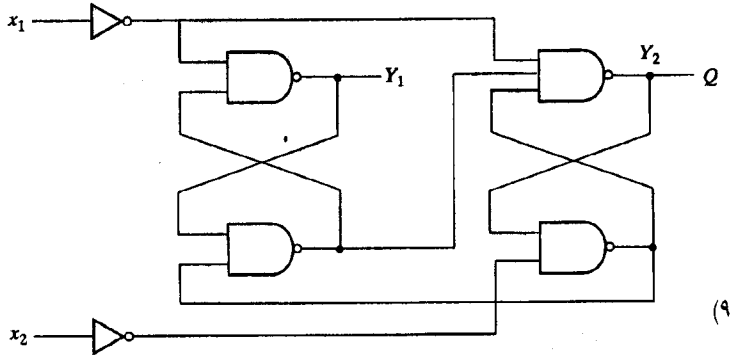
۹-۷ لچ SR را همراه با کنترل در شکل ۵-۵ تحلیل نمایید. جدول گذر را بدست آورده و نشان دهید که وقتی هر سه ورودی 1 باشند مدار بی‌ثبات یا ناپایدار است.

۹-۸ نمودار شکل ۵-۵ (الف) را برای تبدیل به یک لچ نوع JK اصلاح کنید. برای انجام این کار دو مسیر پسخورد از خروجی‌ها به ورودی‌ها وصل نمایید. نشان دهید که وقتی $J = K = 1$ و $C = 1$ است مدار ناپایدار می‌باشد.

۹-۹ برای مدار ترتیبی غیرهمزمان شکل (م ۹-۹)،

(الف) توابع بول را برای خروجی‌های Y_1، Y_2 دو لچ SR بدست آورید. دقت کنیدکه ورودی S دومین لچ $x'_1y'_1$ می‌باشد.

(ب) جدول گذر و نقشه خروجی مدار را بدست آورید.



شکل (م ۹-۹)

۹-۱۰ مدار تعریف شده در مسئله ۹-۳ را با لچ SR نوع NOR پیاده‌سازی کنید. پیاده‌سازی را با لچ SR نوع NAND هم تکرار نمایید.

۹-۱۱ مدار تعریف شده در مسئله ۹-۴ را با لچ‌های SR نوع NAND پیاده‌سازی نمایید.

۹-۱۲ یک جدول روند اصلی برای یک مدار با دو ورودی x_1 و x_2 و دو خروجی z_1 و z_2 بدست آورید به نحوی که چهار شرط زیر برقرار باشد:

(الف) وقتی $x_1x_2 = 00$ است، خروجی $z_1z_2 = 00$ باشد.

(ب) اگر $x_1 = 1$ و x_2 از 0 به 1 تغییر نماید، خروجی $z_1z_2 = 01$ باشد.

(پ) اگر $x_2 = 1$ و x_1 از 0 به 1 عوض شود دو خروجی $z_1z_2 = 10$ خواهند بود.

۹-۱۳ یک چراغ ترافیک در تقاطع یک جاده با راه‌آهن نصب شده است. این چراغ با دو کلید که روی ریل به فاصله یک مایلی از نقطه تقاطع نصب‌اند کنترل می‌شود. وقتی قطار روی کلیدی واقع می‌شود، آن کلید وصل می‌گردد، در غیر این صورت قطع خواهد شد. در یک مایلی قطار از تقاطع، چراغ از سبز (منطق 0) به قرمز (منطق 1) تبدیل می‌گردد. وقتی که قطار یک مایل از تقاطع دور شد لامپ به رنگ سبز باز می‌گردد. توجه کنید که طول قطار کم‌تر از 2 مایل است.

(الف) جدول روند اصلی را برای مدار بدست آورید.

(ب) نشان دهید که جدول روند قابل کاهش به 4 سطر است.

۹-۱۴ می‌خواهیم یک مدار ترتیبی با دو ورودی x_1 و x_2 و یک خروجی z طراحی کنیم. ابتدا هر دو ورودی برابر 0 اند. وقتی x_1 یا x_2 برابر 1 شوند، $z = 1$ می‌گردد. اگر دومین ورودی هم 1 شود، خروجی به 0 تغییر می‌کند. با بازگشت مدار به حالت اولیه، خروجی در 0 باقی می‌ماند.

(الف) برای مدار یک جدول روند اصلی بدست آورید و نشان دهید که این جدول قابل کاهش به شکل (م ۹-۱۴) است.

(ب) طراحی مدار را تکمیل نمایید.

	00	01	11	10
a	(a), 0	(a), 1	b, –	(a), 1
b	a, –	(b), 0	(b), 0	(b), 0

شکل (م ۹-۱۴)

۹-۱۵ مقادیر خروجی را به حالات بی‌اهمیت در جدول روند شکل (م ۹-۱۵) طوری تخصیص دهید که از

	00	01	11	10
a	(a), 0	b, –	–, –	d, –
b	a, –	(b), 1	(b), 1	c, –
c	b, –	–, –	b, –	(c), 0
d	c, –	(d), 1	c, –	(d), 1

(الف)

	00	01	11	10
a	(a), 0	b, –	b, –	(a), 0
b	a, –	(b), 0	(b), 1	c, –
c	b, –	d, –	(c), 1	(c), 1
d	(d), 0	(d), 1	c, –	a, –

(ب)

شکل (م ۹-۱۵)

پالس‌های گذرا در خروجی اجتناب شود.

۱۶ - ۹ با استفاده از روش جدول ایجاب، نشان دهید که جدول حالت ۷-۵ بیش از این کاهش نمی‌یابد.

۱۷ - ۹ تعداد حالات جدول حالت مسئله ۱۲-۵ را کاهش دهید. از جدول ایجاب استفاده کنید.

۱۸ - ۹ هر یک از جدول روند اصلی در شکل (م ۱۸-۹) را ادغام کنید. این کار را به طریق زیر اجرا نمایید.

(الف) همه جفت‌های سازگار را به کمک جدول ایجاب بدست آورید.

(ب) سازگارهای ماکزیمال را با نمودار ادغام بدست آورید.

(پ) مجموعه مینیمالی از سازگارهایی که همه حالات را پوشش داده و بسته باشند، پیدا کنید.

	00	01	11	10
a	(a), 1	f, –	–, –	e, –
b	c, –	–, –	j, –	(b), 0
c	(c), 0	d, –	–, –	b, –
d	c, –	(d), 0	g, –	–, –
e	a, –	–, –	g, –	(e), 1
f	a, –	(f), 1	g, –	–, –
g	–, –	d, –	(g), 0	k, –
h	(h), 0	d, –	–, –	k, –
j	–, –	f, –	(j), 1	b, –
k	a, –	–, –	j, 1	(k), 0

(ب)

	00	01	11	10
a	(a), 0	b, –	–, –	e, –
b	a, –	(b), 0	c, –	–, –
c	–, –	d, –	(c), 0	h, –
d	a, –	(d), 1	–, –	–, –
e	a, –	–, –	f, –	(e), 0
f	–, –	g, –	(f), 0	h, –
g	a, –	(g), 0	–, –	–, –
h	a, –	–, –	–, –	(h), 0

(الف)

شکل (م ۱۸-۹)

۱۹ - ۹ (الف) یک انتساب حالت دودویی برای جدول روند کاهش یافته شکل (م ۱۹-۹) بدست آورید. از شرایط بحرانی دوری نمایید.

x_1x_2

	00	01	11	10
a	(a), 0	(a), 1	b, –	d, –
b	a, –	(b), 0	(b), 0	c, –
c	a, –	–, –	d, –	(c), 0
d	a, –	a, –	(d), 1	(d), 1

شکل (م ۱۹-۹)

۹-۲۰ یک تخصیص حالت فاقد رقابت بحرانی برای جدول روند شکل (م ۹-۲۰) پیدا کنید.

	00	01	11	10
a	(*a*)	*d*	(*a*)	*c*
b	*a*	(*b*)	(*b*)	*d*
c	*d*	(*c*)	*b*	(*c*)
d	(*d*)	(*d*)	*e*	(*d*)
e	*f*	*c*	(*e*)	*c*
f	(*f*)	*b*	*a*	(*f*)

شکل (م ۹-۲۰)

۹-۲۱ جدول روند شکل (م ۹-۲۱) را ملاحظه نمایید.

(الف) نمودار گذر را بدست آورده و نشان دهید که برای یک تخصیص حالت دودویی فاقد رقابت سه متغیر لازم است.

(ب) باکمک تخصیص روش چندسطری جدول روند گسترش یافته را طبق شکل (۳۲-۹الف) بدست آورید.

۹-۲۲ مداری پیدا کنید که فاقد هزارد ایستا یا استاتیک بوده و تابع بولی زیر را پیاده‌سازی نمایید.

$$F(A, B, C, D) = \Sigma(0, 2, 6, 7, 8, 10, 12)$$

۹-۲۳ نمودار منطقی عبارت ضرب حاصل جمع‌های زیر را رسم کنید.

$$Y = (x_1 + x_2')(x_2 + x_3)$$

نشان دهید که وقتی x_1 و x_3 هر دو برابر 0 اند و x_2 از 0 به 1 می‌رود یک هزارد 0 ایستا تولید می‌شود. با افزودن یک گیت OR راهی برای حذف آن بدست آورید.

۹-۲۴ عبارات بولی یک لچ SR به قرار زیراند:

$$S = x_1'x_2'x_3 + x_1x_2x_3$$
$$R = x_1x_2' + x_2x_3'$$

نمودار مدار را با استفاده از حداقل گیت‌های NAND مشخص کنید.

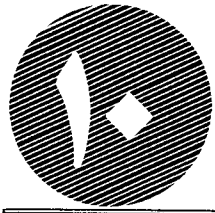
۹-۲۵ طراحی مدار مسئله ۹-۱۳ را تکمیل نمایید.

مراجع

1. Hill, F. J., and G. R. Peterson. 1981. *Introduction to Switching Theory and Logical Design,* 3rd Ed. New York: John Wiley.

2. Kohavi, Z. 1978. *Switching and Automata Theory,* 2nd Ed. New York: McGraw-Hill.

3. McCluskey, E. J. 1986. *Logic Design Principles.* Englewood Cliffs, NJ: Prentice-Hall.



مدارهای مجتمع دیجیتال

۱۰-۱ مقدمه

در بخش ۸-۲ مدار مجتمع (IC) و خانواده‌های منطقی دیجیتال معرفی شدند. این فصل مدارهای الکترونیک را در هر مدار مجتمع منطقی مورد بررسی قرار داده عملکرد الکتریکی آنها را مورد تجزیه و تحلیل قرار می‌دهد. در ادامه بحث اطلاعات اولیه‌ای در مورد مدارهای الکتریکی لازم است.

خانواده‌های مدارهای مجتمع مورد مطالعه به قرار زیرند:

منطق مقاومت ترانزیستور	RTL
منطق دیود ترانزیستور	DTL
منطق ترانزیستور- ترانزیستور	TTL
منطق کوپلاژامیتر	ECL
فلز- اکسید نیمه‌هادی	MOS
فلز- اکسید نیمه‌هادی متمم (یامکمل)	CMOS

دو خانواده اول، RTL و DTL دارای ارزش تاریخی‌اند زیرا در حال حاضر در طراحی سیستم‌های دیجیتال به کار نمی‌روند. RTL اولین خانواده تجاری بود که به صورت گسترده‌ای مورد استفاده قرار گرفت و چون نقطه شروع خوبی برای تشریح اعمال گیت‌های منطقی می‌باشد از آن استفاده شده است. مدارهای DTL با TTL جایگزین شدند. در واقع TTL فرم اصلاح شده گیت DTL است. طرز کار گیت TTL پس از تحلیل گیت DTL قابل فهم‌تر است. TTL، ECL و CMOS تعداد زیادی از مدارهای SSI، MSI، LSI و VLSI را شامل می‌شوند.

مدار پایه در هر یک از خانواده‌ها، گیت NAND یا NOR است. این مدار پایه بلوک ساختار اصلی است که دیگر اجزاء دیجیتال پیچیده‌تر از آن بدست می‌آیند. هر خانواده از مدارهای مجتمع دارای برگه

ورودی ها		خروجی
x	y	z
L	L	H
L	H	H
H	L	H
H	H	L



شکل ۱-۱۰ . گیت NAND منطق مثبت

اطلاعاتی است که همه مدارهای مجتمع را لیست می‌نماید. اختلاف بین توابع منطقی حاصل از هر خانواده منطقی به اندازه اختلاف در مشخصات یک گیت پایه نیست.

گیت‌های NAND و NOR معمولاً به وسیله توابع بولی تعریف می‌شوند و این توابع عباراتی از متغیرهای دودویی را پیاده‌سازی می‌کنند. هنگام تحلیل این گیت‌ها به عنوان مدارهای الکترونیک، لازم است رابطه ورودی- خروجی آنها برحسب ولتاژ سطح بالا که با H نشان داده می‌شود و سطح پایین که با L نمایش داده می‌شود، مورد تفحص قرار گیرد. همانطور که در بخش ۸-۲ ذکر شد تخصیص 1 به H، سیستم منطق مثبت و تخصیص 1 به L، سیستم منطقی منفی را تعریف می‌کند. جدول درستی رفتار گیت NAND برحسب H و L با منطق مثبت در شکل ۱-۱۰ ملاحظه می‌شود. توجه دارید، مادامی که یک یا چند ورودی در سطح پایین است، خروجی در سطح بالاست. رفتار یک گیت NAND با منطق مثبت در مقابل یک سیگنال بالا و پایین به طریق زیر بیان می‌شود:

اگر هر یک از ورودی‌های گیت NAND در سطح پایین باشد، خروجی در سطح منطقی بالاست.

اگر همه ورودی‌های گیت NAND بالا باشد، خروجی پایین است.

جدول درستی یک گیت NOR با منطق مثبت در شکل ۲-۱۰ دیده می‌شود.

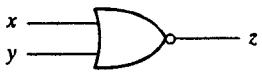
خروجی گیت NOR هنگامی پایین است که یک یا چند ورودی آن بالا باشد. خروجی هنگامی بالاست که همه ورودی‌ها پایین باشد. رفتار یک گیت NOR با منطق مثبت برحسب سطح سیگنال‌ها را چنین می‌توان بیان کرد:

اگر هر یک از ورودی‌های گیت NOR در سطح بالا باشد، خروجی پایین است.

اگر همه ورودی‌های گیت NOR در سطح پایین باشند خروجی بالاست.

این عبارات را برای NAND و NOR باید به خاطر سپرد زیرا از آنها در طول تحلیل گیت‌های الکترونیک در این فصل استفاده خواهد شد.

ورودی		خروجی
x	y	z
L	L	H
L	H	L
H	L	L
H	H	L



شکل ۲-۱۰ . گیت NOR منطق منفی

یک ترانزیستور پیوندی دو قطبی (BJT) می‌تواند از نوع *npn* یا *pnp* باشد. برعکس ترانزیستورهای اثر میدان (FET) را تک قطبی می‌گویند. عملکرد ترانزیستور دو قطبی براساس جریان دو نوع حامل بار یعنی الکترون و حفره است. ترانزیستور تک قطبی به جریان یک نوع بار که ممکن است الکترون (کانال n) یا حفره‌ها (کانال P) باشد وابسته است. چهار خانواده اول یعنی RTL، DTL، TTL و ECL از ترانزیستورهای دو قطبی استفاده می‌کنند. دو خانواده آخر، یعنی MOS و CMOS، نوعی از ترانزیستور تک قطبی به نام ترانزیستور اثر میدان فلز -اکسید- نیمه‌هادی را به کار می‌برند و به طور خلاصه به آن MOSFET یا خلاصه‌تر MOS گویند.

در این فصل، رایج‌ترین مشخصه‌های خانواده‌های منطقی را با هم مقایسه می‌کنیم. آنگاه خواص ترانزیستور را توصیف کرده و گیت‌های پایه را در خانواده‌های منطقی تحلیل می‌نماییم. سپس عملکرد ترانزیستور MOS را توضیح داده و گیت‌های پایه دو خانواده را معرفی خواهیم کرد.

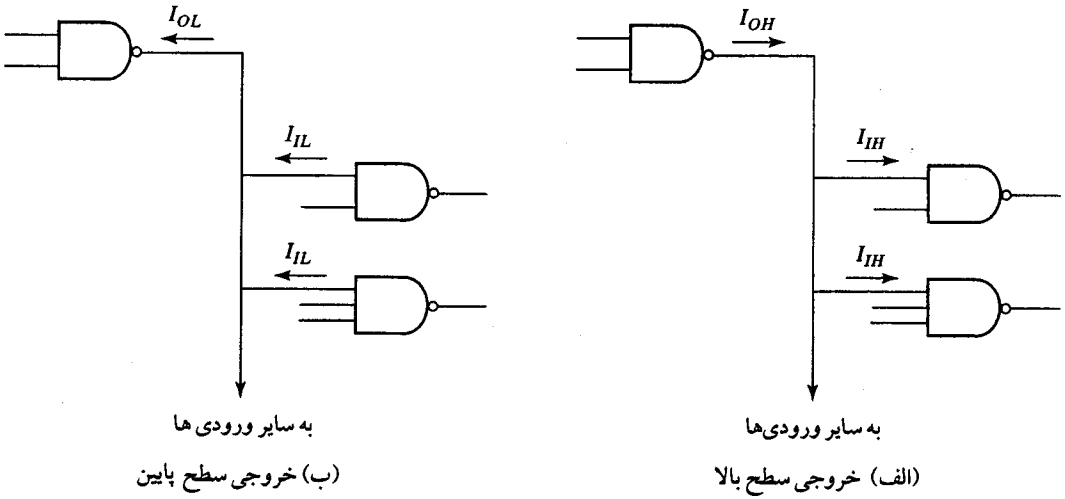
۲-۱۰ مشخصات ویژه

مشخصات خانواده‌های منطقی دیجیتال معمولاً با تحلیل مدار گیت پایه در هر خانواده با هم مقایسه می‌شوند. مهمترین پارامترهای مورد ارزیابی و مقایسه عبارتند از گنجایش خروجی، توان مصرفی، تأخیر انتشار و حد پارازیتی. ما ابتدا خصوصیات این پارامترها را شرح داده و سپس آنها را برای مقایسه خانواده‌های منطقی مجتمع به کار خواهیم برد.

گنجایش خروجی

گنجایش خروجی یک گیت نشان دهنده تعداد بارهای استانداردی است که بدون تخریب عملکرد معمولی آن به خروجی گیت وصل شود. معمولاً بار استاندارد به عنوان جریان لازم به وسیله گیت بعدی از همان خانواده تعریف می‌گردد. گاهی اوقات جمله بار شدن به جای گنجایش خروجی به کار می‌رود. جمله فوق به این علت به کار رفته که خروجی یک گیت مقدار محدودی از جریان را تهیه می‌نماید و بیش از آن قادر به ادامه کار صحیح نمی‌باشد. در این حالت گوییم خروجی فرابار شده است. معمولاً خروجی یک گیت به ورودی گیت دیگر وصل می‌شود. هر ورودی مقدار معینی جریان را از خروجی مصرف می‌کند در نتیجه هر اتصال اضافی به مقدار بار گیت منبع خواهد افزود. قوانین بار شدن حداکثر بار مجاز را برای خروجی هر گیت از یک خانواده تعریف می‌کنند. تجاوز از مقدار بار حداکثر ممکن است سبب آسیب دیدگی شود زیرا مدار قادر به تحویل توان تقاضا شده نمی‌باشد. گنجایش خروجی تعداد حداکثر ورودی‌هایی است که به یک خروجی قابل اتصال می‌باشد و با یک عدد بیان می‌شود.

گنجایش خروجی را با توجه به جریان موجود در خروجی یک گیت و مقدار جریان لازم برای ورودی محاسبه می‌کنند. به اتصالات شکل ۳-۱۰ توجه نمایید. خروجی یک گیت به یک یا چند ورودی گیت دیگر وصل شده است. خروجی گیت در شکل ۳-۱۰ (الف) در سطح بالای ولتاژ قرار دارد. این خروجی یک منبع جریان I_{OH} را برای همه ورودی‌های گیت‌های دیگر فراهم می‌نماید. هر ورودی



شکل ۳-۱۰ . محاسبه گنجایش خروجی

برای انجام کار صحیح نیاز به یک جریان I_{IH} دارد. به طور مشابه در شکل ۳-۱۰ (ب) خروجی گیت در سطح پایین ولتاژ است. در این حالت جریان فروکشی از تمام ورودی‌های گیت‌ها به خروجی گیت منبع به وجود خواهد آمد. هر ورودی گیت جریان I_{IL} خود را فراهم می‌سازد. گنجایش خروجی یک گیت از نسبت کوچکتر I_{OL}/I_{IL} یا I_{OH}/I_{IH} محاسبه می‌شود (هر کدام که کوچکتر باشد). مثلاً گیت‌های TTL استاندارد دارای مقادیر زیر برای جریان‌ها هستند:

$$I_{OH} = 400\ \mu A$$
$$I_{IH} = 40\ \mu A$$
$$I_{OL} = 16\ mA$$
$$I_{IL} = 1.6\ mA$$

در این حالت هر دو نسبت، یک عدد را بدست می‌دهند.

$$\frac{400\ \mu A}{40\ \mu A} = \frac{16\ mA}{1.6\ mA} = 10$$

بنابراین گنجایش خروجی TTL استاندارد 10 است. این بدان معنی است که خروجی یک گیت TTL را نمی‌توان به بیش از 10 ورودی از گیت‌های همان خانواده منطقی وصل کرد. در غیر این صورت گیت قادر نخواهد بود جریان لازم برای ورودی‌های متصل به خود تولید و یا فروکش کند.

توان مصرفی

هر مدار الکترونیک برای کار به توان معینی نیاز دارد. توان مصرفی پارامتری است که برحسب میلی وات (mW) بیان شده و مقدار توان لازم هر گیت را نشان می‌دهد. عددی که این پارامتر را نشان می‌دهد

به معنی توان انتقال یافته از گیت دیگر نیست، بلکه به معنی توان منتقله از منبع تغذیه متصل به همان گیت است. یک مدار مجتمع با چهار گیت چهار برابر توانی را لازم دارد که یک گیت مصرف می‌کند.

توان مصرفی در هر گیت از ولتاژ تغذیه V_{CC} و جریان کشیده شده به وسیله مدار I_{CC} محاسبه می‌گردد. در واقع توان حاصلضرب $V_{CC} \times I_{CC}$ است. جریان کشیده شده از منبع تغذیه به حالت منطقی گیت بستگی دارد. این جریان وقتی که خروجی گیت در سطح بالای ولتاژ است I_{CCH} نامیده می‌شود. در سطح پایین ولتاژ، جریان، I_{CCL} است. جریان متوسط برابر است با

$$I_{CC}(\text{avg}) = \frac{I_{CCH} + I_{CCL}}{2}$$

و برای محاسبه توان مصرفی به کار می‌رود:

$$P_D(\text{avg}) = I_{CC}(\text{avg}) \times V_{CC}$$

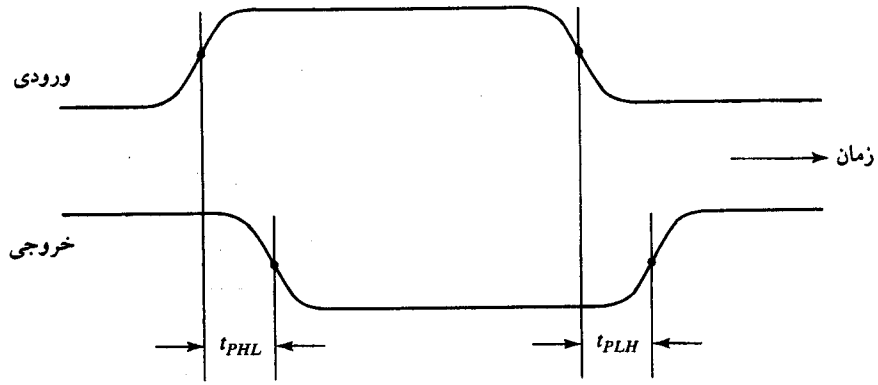
مثلاً یک گیت TTL NAND از یک ولتاژ تغذیه $V_{CC} = 5\text{V}$ استفاده می‌کند و جریان فروکش آن $I_{CCH} = 1\text{mA}$ و $I_{CCL} = 3\text{mA}$ است. متوسط جریان $\frac{3+1}{2} = 2\text{mA}$ خواهد بود. توان متوسط مصرفی $5 \times 2 = 10\text{mW}$ خواهد شد. مدار مجتمعی که دارای چهار گیت است جمعاً $10 \times 4 = 40\text{mW}$ توان لازم دارد. در یک سیستم دیجیتال نوعی، تعداد قابل توجهی مدار مجتمع وجود دارد و توان مصرفی به وسیله هر آی‌سی باید مورد ملاحظه قرار گیرد. توان کل مصرفی در یک سیستم جمع کل توان‌های مصرفی در همه مدارهای مجتمع است.

تأخیر انتشار

تأخیر انتشار یک گیت، متوسط تأخیر انتشار زمانی است که طی آن تغییر حالت سیگنال در ورودی، به خروجی منتقل می‌گردد. انتشار سیگنال‌ها از ورودی به خروجی یک گیت مدت زمان معینی طول می‌کشد. این فاصله زمانی همان تأخیر انتشار است. این زمان برحسب نانو ثانیه محاسبه می‌شود. هر نانو ثانیه 10^{-9} ثانیه است.

سیگنال‌ها حین انتقال از ورودی‌ها به خروجی‌های یک مدار دیجیتال، از یک سری گیت‌ها می‌گذرند. مجموع تأخیرهای انتشار از گیت‌ها برابر با کل تأخیر در مدار است. هنگامی که سرعت عمل اهمیت دارد، هر گیت باید تأخیر انتشار کوتاهی داشته و مدار دیجیتال هم باید حداقل تعداد گیت‌ها را بین ورودی و خروجی دارا باشد.

زمان تأخیر انتشار متوسط هر گیت با توجه به شکل موج‌های ورودی و خروجی، مطابق شکل ۴-۱۰ محاسبه می‌گردد. زمان تأخیر سیگنال بین ورودی و خروجی به هنگام تغییر خروجی از 1 به 0 را t_{PHL} نامند. بطور مشابه وقتی خروجی از 0 به 1 می‌رود، تأخیر را t_{PLH} خوانند. رسم بر این است که تا فاصله زمانی بین 50 درصد از تغییر حالت در ورودی و خروجی اندازه‌گیری شود. به طور کلی این دو تأخیر با یکدیگر برابر نیستند و هر دو با تغییر شرایط بار تغییر می‌کنند. زمان متوسط تأخیر انتشار به عنوان متوسط دو تأخیر در نظر گرفته می‌شود.



شکل ۴-۱۰ . اندازه گیری تأخیر زمانی

به عنوان مثال، تأخیرها در یک گیت TTL استاندارد عبارتند از $t_{PHL} = 7ns$ ، $t_{PLH} = 11ns$. این کمیت‌ها در کتابچه‌های اطلاعات TTL وارده شده و با بار 400Ω و ظرفیت خازنی 15PF در نظر گرفته شده است. زمان متوسط تأخیر انتشار گیت TTL برابر $9ns = 2/(7 + 11)$ می‌باشد.

تحت شرایطی خاص، دانستن حداکثر زمان تأخیر یک گیت از مقدار متوسط آن اهمیت بیشتری دارد. در کتابچه‌های اطلاعات، تأخیرهای انتشار برای یک گیت NAND برابر با $t_{PHL}=15ns$ و $t_{PLH} = 22ns$ اعلان شده است. وقتی که سرعت از اهمیت بالاتری برخوردار است باید تأخیر ماکزیمم را در نظر گرفت تا از عملکرد صحیح اطمینان حاصل شود.

سیگنال‌های ورودی در بسیاری از مدارهای دیجیتال، به طور همزمان به بیش از یک گیت اعمال می‌گردند. همه گیت‌های متصل به ورودی‌های بیرونی، سطح منطقی اول را تشکیل می‌دهند. گیتی که حداقل یک ورودی از خروجی گیت‌های سطح اول دریافت کند، در سطح دوم قرار دارد و به همین ترتیب گیت‌های سطوح بالاتر می‌باشند. تأخیر انتشار کل مدار برابرست با تأخیر انتشار یک گیت ضرب در تعداد سطوح منطقی مدار. بنابراین کاهش در تعداد سطوح منطقی موجب کاهش زمان تأخیر سیگنال و بنابراین سریع‌تر شدن آن خواهد شد. در مواردی که سرعت عمل اهمیت دارد کاهش تأخیر انتشار در مدارها مهمتر از کاهش تعداد کل گیت‌هاست.

حد پارازیت

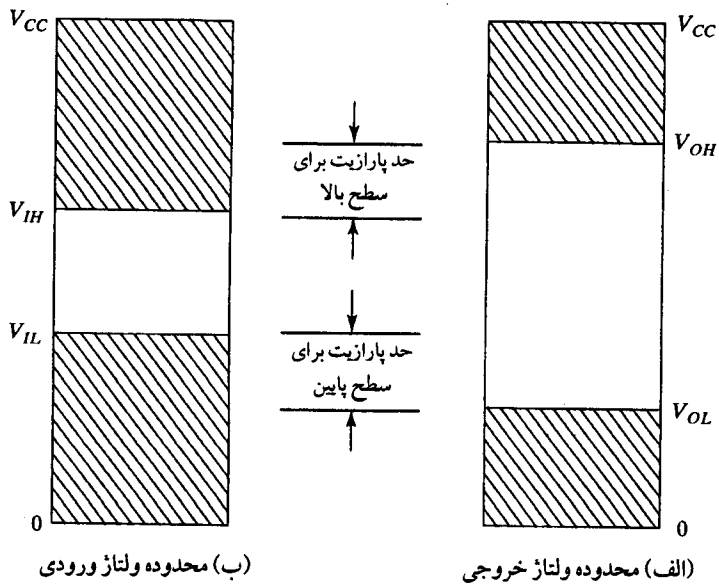
در صنعت و دیگر فعالیت‌های مشابه، سیگنال‌های الکتریکی قادرند ولتاژهای القایی نامطلوبی را در سیستم‌های رابط بین مدارهای منطقی ایجاد کنند. این سیگنال‌های ناخواسته را پارازیت می‌نامند. دو نوع سیگنال قابل بررسی وجود دارد. یکی پارازیت DC است که به علت **انحراف** سطوح ولتاژ یک سیگنال ایجاد می‌شود و دیگری پارازیت AC است که ممکن است توسط تغییر سطح سیگنال‌های دیگر تولید گردد. بنابراین پارازیت کلمه‌ای است که برای درک وجود یک سیگنال ناخواسته بر روی یک

سیگنال معمول در مدار به کار می‌رود. حد پارازیت حداکثر ولتاژ پارازیتی است که به سیگنال ورودی اضافه شده ولی سبب تغییر ناخواسته‌ای در خروجی مدار نمی‌گردد. توان کار یک مدار در یک محیط پارازیت‌دار از اهمیت ویژه‌ای برخوردار است. حد پارازیت برحسب ولت بیان شده و بیانگر حداکثر ولتاژی است که به وسیله گیت قابل تحمل است.

حد پارازیت با آگاهی از سیگنال ولتاژ موجود در خروجی و سیگنال ولتاژ در ورودی گیت قابل محاسبه است. شکل ۵-۱۰ سیگنال‌های مورد استفاده در حد پارازیت را نشان می‌دهد. بخش (الف) محدوده ولتاژهای خروجی که در یک گیت نمونه رخ می‌دهد، را نمایش می‌دهد. هر ولتاژ خروجی واقع در بین V_{CC} و V_{OH} به عنوان حالت سطح بالا و هر ولتاژ بین 0 و V_{OL} در خروجی گیت به عنوان سطح پایین تلقی می‌گردد. ولتاژهای بین V_{OL} و V_{OH} نامعین هستند و تحت شرایط عادی به جز به هنگام گذر بین دو سطح ظاهر نمی‌گردند. محدوده دو سطح ولتاژ قابل تشخیص به وسیله ورودی گیت، در شکل ۵-۱۰ (ب) دیده می‌شوند. برای جبران هر سیگنال پارازیت، مدار باید طوری طراحی شود که V_{IL} بزرگتر از V_{OL} و V_{IH} کمتر از V_{OH} باشند. حد پارازیت تفاضل کوچکتر دو مقدار $V_{OH}-V_{IH}$ یا $V_{IL}-V_{OL}$ است.

همانگونه که در شکل ۵-۱۰ تشریح شد، V_{OL} حداکثر ولتاژی است که خروجی می‌تواند در سطح پایین دارا باشد. مدار قادر است تا هر سیگنال پارازیت کمتر از حد پارازیت $(V_{IL}-V_{OL})$ را تحمل کند زیرا ورودی سیگنال را در سطح پایین تشخیص خواهد داد. هر سیگنال بزرگتر از V_{OL} به علاوه حد پارازیت، ورودی را به ناحیه نامعین می‌فرستد و ممکن است سبب بروز خطا در خروجی گردد. به طریق مشابه، یک پارازیت منفی بزرگتر از $V_{OH}-V_{IH}$، ولتاژ ورودی را به ناحیه نامعین خواهد فرستاد.

پارامترهای حد پارازیت در گیت NAND، TTL استاندارد V_{OH}=2.4V، V_{OL}=0.4V، V_{IH} = 2V



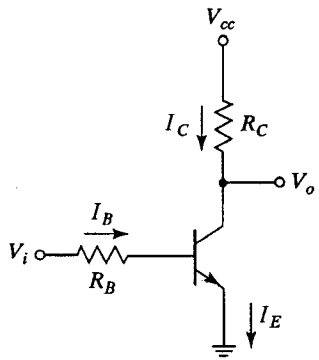
شکل ۵-۱۰ . سیگنال‌ها برای ارزیابی حد پارازیت

و V_{IL}=0.8V می‌باشند. حد پارازیت سطح بالا 0.4V = 2 − 2.4 و حد پایین آن 0.4V = 0.4 − 0.8 است. در این حالت هر دو مقدار یکی هستند.

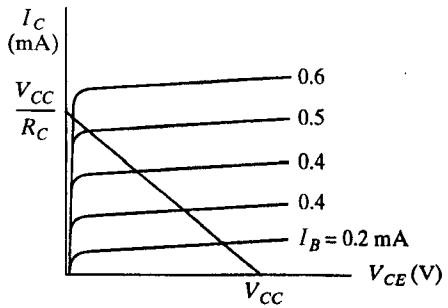
۳-۱۰ مشخصه‌های ترانزیستور دو قطبی

این بخش به مروری بر ترانزیستور دو قطبی به کار رفته در مدارهای دیجیتال اختصاص یافته است. این اطلاعات برای تحلیل مدار پایه مورد استفاده در چهار خانواده منطقی دو قطبی به کار می‌رود. ترانزیستورهای دو قطبی ممکن است از نوع *npn* یا *pnp* باشند. به علاوه، آنها از مواد نیمه هادی سیلیکان یا ژرمانیوم ساخته شده‌اند. معمولاً ترانزیستورهای مدار مجتمع (IC) با سیلیکان ساخته شده و اغلب از نوع *npn* هستند.

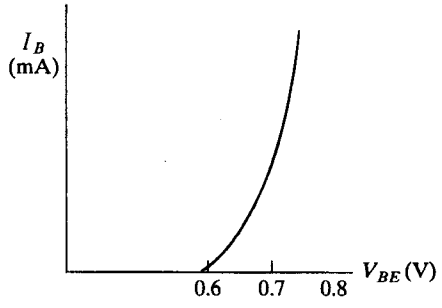
اطلاعات اولیه مورد نیاز جهت تحلیل مدارهای دیجیتال را می‌توان با بررسی منحنی‌های ترانزیستور امیتر مشترک نوع سیلیکان با پیوند *npn* شکل ۶-۱۰، بدست آورد. مدار (الف) یک وارونگر ساده با دو مقاومت و یک ترانزیستور است. جریان I_C از مقاومت R_C و کلکتور ترانزیستور عبور می‌کند. جریان I_B از مقاومت R_B و بیس ترانزیستور می‌گذرد. امیتر به زمین وصل است و جریان آن $I_E = I_C + I_B$ می‌باشد. ولتاژ تغذیه بین V_{CC} و زمین قرار دارد. ورودی هم بین V_i و زمین است، و بالاخره خروجی بین V_0 و زمین می‌باشد.



(الف) مدار وارونگر



(پ) مشخصه کلکتور ترانزیستور



(ب) مشخصه بیس ترانزیستور

شکل ۶-۱۰ . ترانزیستور *npn* سیلیکان

ما جریان مثبت مدار را مطابق شکل تصور می‌کنیم. این جهت‌ها معمولاً به یک ترانزیستور *npn* تعلق دارد. جریان امیتر I_E وقتی مثبت فرض می‌شود که از ترانزیستور خارج شود. سمبل V_{CE} به معنی افت ولتاژ دو سر کلکتور و امیتر بوده و همیشه مثبت تلقی می‌گردد. به همین ترتیب افت ولتاژ دو سر پیوند بیس- امیتر است. این پیوند با V_{BE} مثبت، به طور مستقیم و با V_{BE} منفی، به طور معکوس تغذیه می‌شود.

مشخصه گرافیکی بیس- امیتر در شکل ۶-۱۰ (ب) نشان داده شده است که عبارت است از نمودار V_{BE} در برابر I_B. اگر ولتاژ بیس- امیتر کمتر از 0.6V باشد، گوییم ترانزیستور در حالت قطع است. هنگام تغذیه مستقیم با ولتاژی بزرگتر از 0.6V، ترانزیستور هدایت کرده و I_B به سرعت افزایش می‌یابد ضمن آن که V_{BE} تغییر کمی دارد. ولتاژ V_{BE} دو سر یک ترانزیستور در حال هدایت به ندرت از 0.8V تجاوز می‌کند.

مشخصه‌های گرافیکی کلکتور- امیتر، همراه با خط بار، در شکل ۶-۱۰ (پ) آمده است. وقتی V_{BE} کمتر از 0.6V است، ترانزیستور با $I_B = 0$ در حالت قطع است و در این هنگام جریان ناچیزی از کلکتور عبور می‌کند. بنابراین مدار کلکتور- امیتر همچون یک مدار باز عمل می‌نماید. در ناحیه فعال ولتاژ کلکتور، V_{CE}، می‌تواند در هر جایی بین 0.8V تا V_{CC} باشد. در این ناحیه جریان کلکتور I_C را می‌توان با رابطه تقریبی $I_B h_{FE}$ محاسبه کرد، که در آن h_{FE} پارامتری از ترانزیستور به نام بهره جریان dc است. جریان حداکثر کلکتور به I_B وابسته نیست، بلکه به مدار بیرونی متصل به کلکتور بستگی دارد. دلیل این است که V_{CE} همیشه مثبت و کمترین مقدار آن 0V است. مثلاً در وارونگری که ملاحظه شد، حداکثر جریان با $V_{CE} = 0$ برابر با $I_C = V_{CC}/R_C$ می‌باشد.

قبلاً بیان شد که در ناحیه فعال $I_C = h_{FE} I_B$ است. پارامتر h_{FE} در محدوده نقطه کار ترانزیستور تغییرات وسیعی دارد، ولی باز هم برای اهداف تحلیلی استفاده از مقدار متوسط آن مفید است. در یک بازه عمل نمونه، h_{FE} حدود 50 است، ولی تحت شرایط می‌تواند تا $h_{FE} I_B$ از I_C بزرگتر گردد. اگر چنین حالتی فرا برسد در ناحیه اشباع خواهیم بود. بنابراین، شرط اشباع از رابطه زیر بدست می‌آید.

$$I_B \geq \frac{I_{CS}}{h_{FE}}$$

که در آن I_{CS} حداکثر جریان کلکتور در هنگام اشباع است. V_{CE} در ناحیه اشباع دقیقاً صفر نیست بلکه حدود 0.2 می‌باشد.

اطلاعات پایه برای تحلیل مدارهای دیجیتال ترانزیستوری دو قطبی در جدول ۱-۱۰ لیست شده است. در ناحیه قطع، V_{BE} کمتر از 0.6V است، V_{CE} به صورت یک مدار باز عمل می‌کند، و هر دو جریان قابل چشم‌پوشی‌اند. در ناحیه فعال، V_{BE} حدود 0.7V است، V_{CE} ممکن است در محدوده

جدول ۱-۱۰. پارامترهای یک نمونه ترانزیستور *npn* سیلیکان

ناحیه	V_{BE} (V)	V_{CE} (V)	رابطه جریان
قطع	< 0.6	مدار باز	$I_B = I_C = 0$
فعال	0.6–0.7	> 0.8	$I_C = h_{FE} I_B$
اشباع	0.7–0.8	0.2	$I_B \geq I_{CS}/h_{FE}$

وسیعی تغییر کند، و I_C به صورت تابعی از I_B قابل محاسبه است. در ناحیه اشباع، V_{BE} به سختی قابل تغییر است، ولی V_{CE} به 0.2V افت می‌کند. جریان بیس باید به حد کافی بزرگ باشد یا در نامساوی فوق صدق کند. برای سادگی تحلیل $V_{BE} = 0.7\text{V}$ را برای حالت اشباع یا هدایت ترانزیستور فرض خواهیم کرد.

تحلیل مدارهای دیجیتال ممکن است با استفاده از روشهای از پیش تعیین شده زیر باشد: برای هر ترانزیستور در مدار ببینید آیا $V_{BE} = 0.6\text{V}$ است یا خیر. اگر این طور باشد، ترانزیستور قطع است و مدار کلکتور به امیتر به صورت یک مدار باز در نظر گرفته می‌شود. اگر V_{BE} بزرگتر از 0.6V باشد، ترانزیستور ممکن است در ناحیه اشباع یا فعال باشد. جریان بیس را با فرض $V_{BE} = 0.7\text{V}$، محاسبه نمایید. سپس حداکثر میزان ممکن جریان کلکتور I_{CS} را با فرض $V_{CE} = 0.2\text{V}$ محاسبه کنید. این محاسبات باید برحسب ولتاژ و مقادیر مقاومت‌ها باشند. سپس اگر جریان بیس به اندازه کافی بزرگ بود تا رابطه $I_B \geq I_{CS}/h_{FE}$ برقرار باشد، آنگاه ترانزیستور در ناحیه اشباع با $V_{CE} = 0.2\text{V}$ خواهد بود. به هر حال، اگر جریان بیس کمتر و رابطه فوق برقرار نباشد، ترانزیستور در ناحیه فعال است و جریان I_C را از رابطه $I_C = h_{FE} I_B$ بدست خواهیم آورد.

برای اثبات این مطلب، مدار وارونگر شکل ۶-۱۰ (الف) را با پارامترهای زیر در نظر بگیرید.

$R_C = 1\,k\Omega$	$V_{CC} = 5\,\text{V}$	(ولتاژ تغذیه)
$R_B = 22\,\text{k}\Omega$	$H = 5\,\text{V}$	(ولتاژ سطح بالا)
$h_{FE} = 50$	$L = 0.2\,\text{V}$	(ولتاژ سطح پایین)

با ولتاژ ورودی $V_i = L = 0.2\text{V}$ داریم $V_{BE} < 0.6\text{V}$ و ترانزیستور خاموش است. مدار کلکتور-امیتر همچون یک مدار باز عمل می‌نماید، به نحوی که $V_0 = 5\text{V} = H$.

با یک ولتاژ ورودی $V_i = H = 5\text{V}$، نتیجه می‌گیریم که $V_{BE} > 0.6\text{V}$. با فرض $V_{BE} = 0.7$، جریان بیس را محاسبه می‌کنیم:

$$I_B = \frac{V_i - V_{BE}}{R_B} = \frac{5 - 0.7}{22\,\text{k}\Omega} = 0.195\,\text{mA}$$

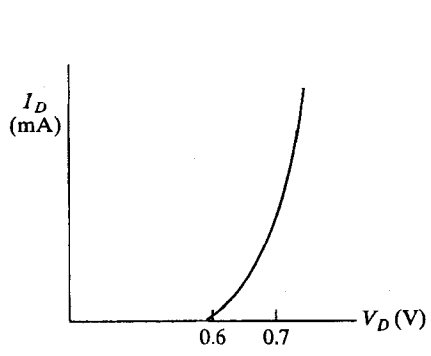
حداکثر جریان کلکتور با فرض $V_{CE} = 0.2$ برابر است با

$$I_{CS} = \frac{V_{CC} - V_{CE}}{R_C} = \frac{5 - 0.2}{1\,\text{k}\Omega} = 4.8\,\text{mA}$$

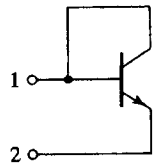
سپس وجود حالت اشباع را از رابطه زیر چک می‌نماییم

$$0.195 = I_B \geq \frac{I_{CS}}{h_{FE}} = \frac{4.8}{50} = 0.096\,\text{mA}$$

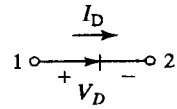
و در می‌یابیم که نامساوی برقرار است، زیرا $0.096 < 0.195$ بوده و نتیجه می‌گیریم که ترانزیستور در حالت اشباع است و ولتاژ خروجی $V_0 = V_{CE} = 0.2\text{V} = L$ می‌باشد. بنابراین مدار به صورت یک وارونگر عمل می‌کند.



(پ) مشخصه دیود



(الف) ترانزیستوری که جهت استفاده بعنوان یک دیود بکار رفته است



(ب) سمبل گرافیکی دیود

شکل ۷-۱۰ . سمبل و مشخصه دیود سیلیکان

روال توصیف شده فوق، به طور گسترده‌ای در تحلیل مدارهای بخش‌های بعدی استفاده خواهد شد. این کار با تحلیل کیفی، یعنی بدون نوشتن معادلات عددی صورت خواهد گرفت. تحلیل کمی و محاسبات خاص به عنوان تمرین در بخش مسائل انتهای فصل ارائه شده است.

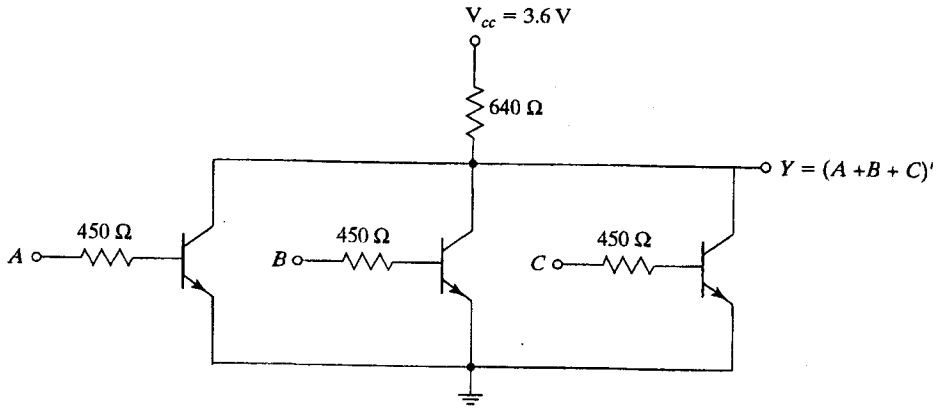
مواردی وجود دارد که نه تنها ترانزیستور بلکه دیودها نیز در مدارهای دیجیتال به کار می‌روند. یک دیود مدار مجتمع (IC) معمولاً از یک ترانزیستور که کلکتور آن به بیس وصل شده ساخته می‌شود، شکل ۷-۱۰ (الف). سمبل گرافیکی به کار رفته برای یک دیود در شکل ۷-۱۰ (ب) ملاحظه می‌شود. دیود اساساً همانند پیوند بیس- امیتر یک ترانزیستور کار می‌کند. مشخصه‌های گرافیکی آن که در شکل ۷-۱۰ (پ) دیده می‌شود، مشابه مشخصه‌های بیس امیتر ترانزیستور است. بنابراین می‌توان نتیجه گرفت که وقتی ولتاژ مستقیم آن، V_D، کمتر از 0.6V باشد دیود قطع بوده و هدایت نخواهد کرد. هنگام هدایت دیود، جریان I_D در جهتی که در شکل ۷-۱۰ (ب) نشان داده شده، جاری شده و V_D در حدود 0.7V ثابت خواهد ماند. برای محدود کردن جریان در دیود باید مقاومتی را با آن سری کرد، زیرا ولتاژ در حدود چیزی کمتر از یک ولت ثابت می‌ماند.

۴-۱۰ مدارهای RTL و DTL

گیت پایه RTL

مدار پایه خانواده منطقی دیجیتال RTL گیت NOR است که در شکل ۸-۱۰ نشان داده شده است. هر ورودی این خانواده با یک مقاومت و یک ترانزیستور مرتبط است. کلکتور همه ترانزیستورها در خروجی به هم وصل شده‌اند. سطوح منطقی برای مدار برابر 0.2V برای سطح پایین و از 1 الی 3.6V برای سطح بالاست.

تحلیل گیت RTL بسیار ساده است و بحث مطرح شده بخش قبل را دنبال می‌کند. اگر هر یک از ورودی‌های گیت RTL بالا باشد، ترانزیستور مربوط به آن ورودی به حالت اشباع کشانده می‌شود. این



شکل ۸-۱۰ . گیت NOR پایه RTL

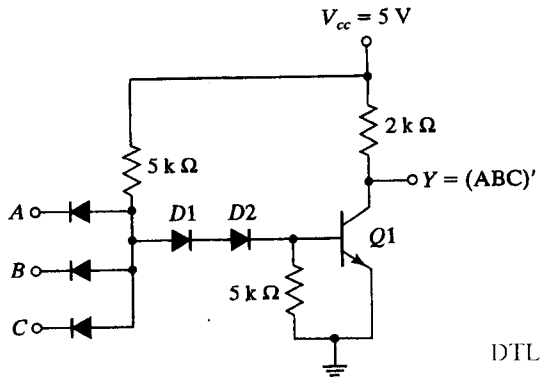
وضعیت موجب می‌گردد تا خروجی بدون توجه به حالت دیگر ترانزیستورها به سطح پایین منطقی برود. اگر همه ورودی‌ها در 0.2V باشند، همه آنها خاموش خواهند بود، زیرا در همه آنها $V_{BE}<0.6V$ است. این وضعیت موجب می‌شود تا خروجی مدار به سطح منطقی بالا و به سمت ولتاژ تغذیه V_{CC} برود. این حالات، وضعیت‌های بیان شده گیت NOR در شکل ۲-۱۰ را تأیید می‌کند. توجه داشته باشید که حد پارازیت برای سیگنال سطح پایین $0.6 - 0.2 = 0.4V$ است.

گنجایش خروجی گیت RTL وقتی در ولتاژ خروجی بالاست، محدود نمی‌باشد. با بار شدن خروجی توسط ورودی گیت‌های دیگر، جریان بیشتری مصرف می‌شود. این جریان باید از مقاومت 640Ω بگذرد. یک محاسبه ساده (رجوع به مسئله ۲-۱۰) نشان می‌دهد که اگر h_{FE} به 20 تنزل کند، ولتاژ خروجی برای گنجایش 5 ، به 1V می‌رسد. هر ولتاژ کمتر از 1V در خروجی قادر نخواهد بود تا ترانزیستور بعدی را آن طور که باید به اشباع ببرد. توان تلف شده در گیت RTL حدود 12mW و متوسط تأخیر انتشار حدود 25ns می‌باشد.

گیت پایه DTL

مدار پایه خانواده منطقی دیجیتال DTL گیت NAND شکل ۹-۱۰ است. هر ورودی متصل به یک دیود است. دیودها و مقاومت 5KΩ تشکیل یک گیت AND را می‌دهند. ترانزیستور نقش تقویت کننده جریان را به عهده دارد. ضمن این که سیگنال را معکوس هم می‌کند. سطوح ولتاژ عبارتند از 0.2V برای سطح منطقی پایین و بین 4 الی 5 ولت برای سطح منطقی بالا.

تحلیل گیت DTL باید مطابق شرایط گیت NAND موجود در شکل (۱-۱۰) باشد. اگر هر یک از ورودی‌های گیت در سطح پایین 0.2V باشد، دیود ورودی مربوطه، جریان را از V_{CC} و از طریق مقاومت 5KΩ به گره ورودی هدایت می‌نماید. ولتاژ در نقطه P برابر با ولتاژ ورودی 0.2V به علاوه افت ولتاژ 0.7V در دو سر دیود است که جمعاً 0.9V می‌شود. برای این که ترانزیستور شروع به هدایت کند ولتاژ در نقطه



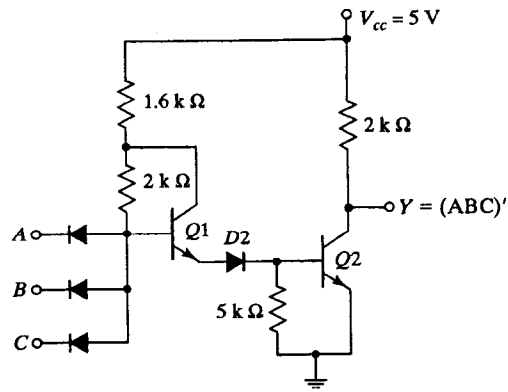
شکل ۹-۱۰. گیت NAND پایه DTL

P باید بیشتر از یک افت V_{BE} در $Q1$ بعلاوه دو افت دیود در دیودهای $D1$ و $D2$ یا $3 \times 0.6 = 1.8V$ باشد. از آنجایی که ولتاژ در نقطه P به وسیله دیود ورودی در 0.9V ثابت می‌ماند، ترانزیستور خاموش شده و ولتاژ خروجی در سطح بالای 5 ولت خواهد بود.

اگر همه ورودی‌های گیت در سطح بالا باشند، ترانزیستور به ناحیه اشباع کشانده می‌شود. اکنون ولتاژ در P برابر V_{BE} بعلاوه دو افت ولتاژ دو سر دیودهای $D1$ و $D2$ یا $3 \times 0.7 = 2.1V$ است. چون همه ورودی‌ها در ولتاژ سطح بالای 5V هستند و $V_P = 2.1V$ است، دیودهای ورودی تغذیه معکوس شده و خاموش می‌مانند. جریان بیس برابر با تفاضل جریان‌های عبوری از دو مقاومت 5KΩ می‌باشد و برای اشباع شدن ترانزیستور کافی است (رجوع به مسئله ۳-۱۰). با اشباع شدن ترانزیستور، خروجی به $V_{CE} = 0.2V$ افت می‌کند که سطح پایین منطقی برای گیت است.

توان تلف شده در یک گیت DTL حدود 12mW و متوسط تأخیر انتشار 30ns است. حد پارازیت حدود 1V و گنجایش خروجی تا 8 امکان‌پذیر است. گنجایش خروجی گیت DTL با حداکثر جریان اشباع در کلکتور ترانزیستور محدود شده است (رجوع به مسئله ۴-۱۰).

اگر یکی از دیودهای موجود در بیس را با یک ترانزیستور عوض کنیم، گنجایش خروجی گیت DTL افزایش می‌یابد، شکل ۱۰-۱۰. وقتی که خروجی $Q2$ اشباع شود، ترانزیستور $Q1$ در ناحیه فعال



شکل ۱۰-۱۰. گیت تصحیح شده DTL

نگهداری می‌شود. در نتیجه، مدار اصلاح شده می‌تواند جریان بیشتری را به پایه ترانزیستور خروجی اعمال کند. اکنون ترانزیستور خروجی می‌تواند مقدار بیشتری جریان کلکتور را قبل از رفتن به اشباع دارا باشد. بخشی از جریان کلکتور از دیودهای هادی موجود در گیت‌های بار شده به هنگام اشباع $Q2$ می‌آید. بنابراین افزایش مجاز جریان اشباع شده کلکتور اجازه می‌دهد تا بارهای بیشتری به خروجی وصل شوند که به معنی افزایش گنجایش خروجی است.

۵-۱۰ منطق ترانزیستور- ترانزیستور TTL

گیت TTL پایه اولیه، تنها فرم تکمیل شده گیت DTL بود. با پیشرفت تکنولوژی TTL، اصلاحات اضافی تا حدی افزایش یافتند که این خانوادگی منطقی به طور گسترده در طراحی سیستم‌های دیجیتال به کار گرفته شد. در حال حاضر چندین نوع یا سری از خانواده TTL وجود دارد. نام و مشخصات هشت نوع TTL در جدول ۲-۱۰ ملاحظه می‌شود. آی‌سی‌های TTL تجاری با شماره‌ای که اول آن با 74 شروع می‌شود مشخص می‌گردند و بدنبال آن نام سری آمده است. مثال‌هایی از آن عبارت است از 7404، 74S86 و 74ALS161. گنجایش خروجی، توان تلف شده و تأخیر در انتشار در بخش ۲-۱۰ تعریف شدند. حاصلضرب سرعت- توان پارامتر مهم دیگری در مقایسه انواع سری‌های TTL است. این حاصلضرب تأخیر انتشار و مصرف بوده و برحسب پیکوژول اندازه‌گیری می‌شود. مقادیر کمتر برای این پارامتر مطلوب‌تر است زیرا به این معنی است که می‌توان بدون صرف انرژی به تأخیر انتشار مورد نظری دسترسی پیدا کرد.

اولین نوع از خانواده TTL، نوع TTL استاندارد بود. سپس این گیت پایه با مقادیر متفاوتی از مقاومت طراحی گردید تا گیت‌هایی با توان مصرفی کم یا با سرعت بالاتر تولید شوند. تأخیر انتشار یک

جدول ۲-۱۰. انواع TTL و مشخصات آنها

نام سری TTL	پیشوند	گنجایش خروجی	توان مصرفی (mW)	تاخیر انتشار (ns)	حاصلضرب توان سرعت (pJ)
استاندارد	74	10	10	9	90
توان پایین	74L	20	1	33	33
سرعت بالا	74H	10	22	6	132
شوتکی	74S	10	19	3	57
شوتکی توان پایین	74LS	20	2	9.5	19
شوتکی پیشرفته	74AS	40	10	1.5	15
شوتکی پیشرفته توان پایین	74ALS	20	1	4	4
سریع	74F	20	4	3	12

ترانزیستور در حالت اشباع عمدتاً به دو عامل وابسته است: زمان ذخیره‌سازی و ثابت‌های زمانی RC. کاهش زمان ذخیره‌سازی موجب کم شدن تأخیر در انتشار می‌گردد. البته ماحصل این کار، اتلاف توان بیشتری است، زیرا مقاومت کمتر جریان بیشتری را از مبنع می‌کشد. سرعت گیت متناسب با عکس تأخیر انتشار است.

درگیت TTL با توان پایین مقادیر مقاومت، بیشتر از مقادیر مشابه درگیت نوع استاندارد می‌باشند تا بدین ترتیب توان مصرفی کاهش یابد ولی تأخیر انتشار افزایش یافته است. درگیت TTL سریع، مقادیر مقاومت کاهش یافته تا زمان تأخیر کم شود، ولی توان مصرفی افزایش یافته است. گیت TTL شوتکی اصلاح بعدی در تکنولوژی بود. تأثیر ترانزیستور شوتکی، کاهش زمان تأخیر ذخیره‌سازی با ممانعت از اشباع شدن ترانزیستور بود. این سری، سرعت عمل را بدون افزودن توان مصرفی بالا می‌برد. نوع TTL شوتکی با توان پایین، مقداری از سرعت را فدای کاهش توان تلف شده نموده است. از نظر تأخیر، این نوع مشابه با نوع استاندارد است ولی توان مصرفی آن $\frac{1}{5}$ می‌باشد. اصلاحات منجر به ساخت سری شوتکی پیشرفته شده است. این نمونه دارای تأخیر انتشار کمتر و نیز توان مصرفی پایین‌تر نسبت به نوع استاندارد است. نوع شوتکی پیشرفته دارای حاصلضرب سرعت- توان کوچکتر بوده و کاراترین نوع است. خانواده TTL سریع بهترین انتخاب برای طراحی‌های سریع است.

همه سری‌های TTL به صورت SSI و نیز فرم‌های پیچیده‌تر MSI و LSI در دسترسند. تفاوت میان سری‌های TTL در منطق دیجیتال آنها نیست، بلکه ساختار داخلی گیت پایه NAND آنها با هم اختلاف دارد. در هر حال گیت‌های TTL در همه سری‌ها دارای سه نوع آرایش خروجی‌اند:

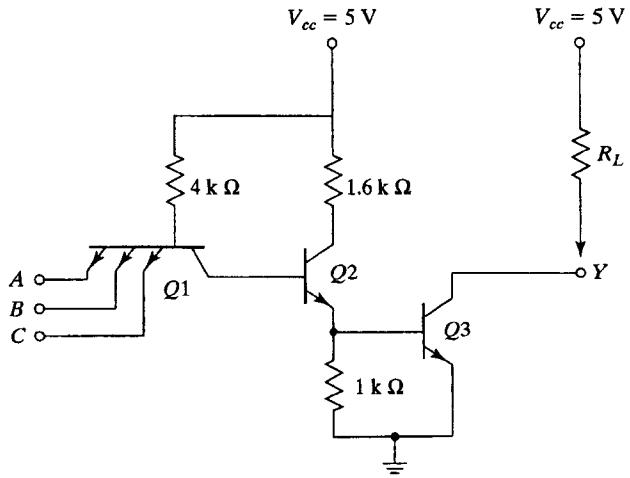
۱- خروجی کلکتور باز
۲- خروجی تاتم پل (totem - pole)
۳- خروجی سه حالته

این نوع خروجی همراه با توصیف گیت TTL پایه آنها مورد بررسی قرار خواهد گرفت.

گیت‌با خروجی کلکتور باز

گیت پایه TTL در شکل ۱۱-۱۰، نوع اصلاح شده گیت DTL است. به امیتر چندین ورودی متصل شده است. این امیترها اغلب مشابه ورودی دیودها در گیت DTL عمل می‌کنند زیرا با بیس مشترک خود، یک پیوند pn را تشکیل می‌دهند. پیوند بیس- کلکتور $Q1$ که پیوند دیودی pn دیگری است نقش $D1$ درگیت DTL را بازی می‌کند. (شکل ۵-۱۰ ملاحظه شود). تراتزیستور $Q2$ جایگزین دومین دیود، $D2$، در گیت DTL شده است. خروجی گیت TTL از کلکتور باز $Q3$ گرفته می‌شود. یک مقاومت متصل به V_{CC} باید از بیرون به بسته IC وصل شود تا هنگام خاموشی $Q3$ خروجی را به سطح بالای ولتاژ، بالا بکشد، در غیر این صورت خروجی به صورت مدار باز عمل خواهد کرد. دلیل قرار ندادن مقاومت در درون مدار بعد بحث خواهد شد.

دو سطح ولتاژ گیت TTL عبارتند از 0.2V برای سطح منطقی پایین و 2.4 تا 5V برای سطح بالا،



شکل ۱۱-۱۰. گیت TTL کلکتور باز

مدار پایه یک گیت NAND است. اگر هر یک از ورودی‌ها پایین باشد، پیوند بیس- امیتر مربوطه در $Q1$ تغذیه مستقیم می‌گردد. ولتاژ در بیس $Q1$ برابر با ولتاژ ورودی 0.2V بعلاوه افت ولتاژ 0.7 و یا مجموعاً 0.9V می‌باشد. برای این که $Q3$ شروع به هدایت کند، مسیر $Q1$ تا $Q3$ باید بر افت ولتاژ یک دیود در پیوند pn بیس- کلکتور $Q1$ و دو افت V_{BE} در $Q2$ و $Q3$ یا $3 \times 0.6 = 1.8V$ غلبه نماید. چون بیس $Q1$ به وسیله سیگنال ورودی در 0.9V نگهداری می‌شود، خروجی ترانزیستور نمی‌تواند هدایت کند و قطع می‌شود. خروجی به شرطی به سطح بالا می‌رود که یک مقاومت خارجی بین خروجی و V_{CC} قرار گیرد (اگر مقاومت به کار نرود به صورت مدار باز در خواهد آمد).

اگر همه ورودی‌ها در سطح بالا باشند، هر دو ترانزیستور $Q2$ و $Q3$ هدایت کرده و به اشباع می‌روند. ولتاژ بیس $Q1$ با ولتاژ دو سر پیوند pn بیس- کلکتور بعلاوه دو افت ولتاژ V_{BE} در $Q2$ و $Q3$ یا حدود $0.7 \times 3 = 2.1V$، برابر است. چون همه ورودی‌ها در سطح منطقی و بزرگتر از 2.4V می‌باشند، پیوندهای بیس- امیتر $Q1$ همگی معکوس تغذیه شده‌اند. هنگام اشباع شدن ترانزیستور $Q3$ (به شرطی که مسیر جریان وجود داشته باشد) ولتاژ خروجی به 0.2V می‌رود. این حالت عملکرد NAND را برای گیت تصدیق می‌کند.

در این تحلیل، گفتیم که پیوند کلکتور- بیس ترانزیستور $Q1$ مانند یک پیوند pn در دیود عمل می‌نماید. این مطلب در شرایط سکون صحت دارد. با این وجود، در حین گذر به حالت خاموشی، $Q1$ واکنش نشان داده و زمان تأخیر انتشار را کاهش می‌دهد. وقتی همه ورودی‌ها در سطح بالا باشند و آنگاه یکی از ورودی‌ها به سطح پایین برده شود، هر دو ترانزیستور $Q2$ و $Q3$ شروع به خاموش شدن می‌کنند. در این هنگام، پیوند کلکتور $Q1$ معکوس شده و امیتر مستقیم می‌شود، و ترانزیستور $Q1$ برای یک لحظه به ناحیه فعال برده می‌شود. جریان کلکتور $Q1$ از بیس $Q2$ می‌آید و به سرعت بار ذخیره شده در اشباع قبلی $Q2$ را از بین می‌برد. این وضعیت موجب کاهش زمان ذخیره‌سازی مدار در مقایسه با ورودی

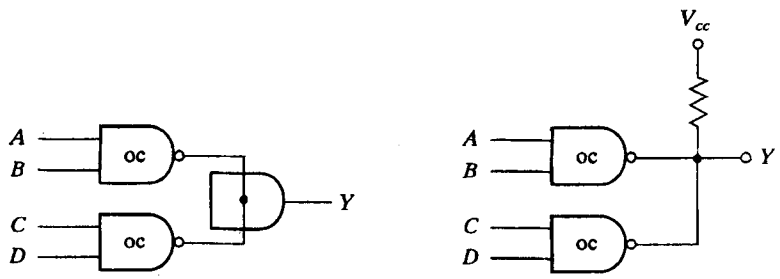
نوع DTL می‌گردد. نتیجه حاصل کاهش زمان خاموشی گیت خواهد بود.

گیت کلکتور باز TTL وقتی که متصل به ورودی گیت‌های TTL دیگر است بدون مقاومت خارجی هم عمل خواهد کرد. با این وجود به علت حد کم پارازیت این کار توصیه نمی‌شود. در غیاب مقاومت خارجی، وقتی $Q3$ خاموش است، خروجی گیت مدار باز خواهد بود. برای یک ورودی گیت TTL ، مدار باز همچون ورودی سطح بالا عمل می‌کند (ولی مقدار کمی پارازیت قادر است وضعیت را عوض کند). وقتی $Q3$ هدایت کند از طریق V_{CC} ، مقاومت $4K\Omega$ و پیوند بیس- امیتر گیت بار دارای مسیر جریانی خواهد شد.

گیت‌های کلکتور باز در سه نوع کاربرد مهم استفاده می‌شوند: راه‌اندازی یک لامپ یارله، اجرای منطقی سیمی، و ایجاد یک گذرگاه مشترک. یک خروجی کلکتور باز می‌تواند یک لامپ واقع در خروجی‌اش را از طریق مقاومت محدودگر روشن کند. وقتی خروجی پایین است، ترانزیستور اشباع شده $Q3$ مسیری برای روشن کردن لامپ ایجاد می‌نماید. وقتی که ترانزیستور خاموش شود، لامپ هم خاموش می‌شود زیرا مسیری برای جریان وجود ندارد.

اگر خروجی چندین گیت TTL کلکتور باز با یک مقاومت به هم گره بخورند، یک منطق AND - سیمی ایجاد می‌شود. به خاطر می‌آورید که یک تابع AND با منطق مثبت هنگامی تولید خروجی سطح بالا می‌کند که همه ورودی‌ها در سطح بالا باشند؛ در غیر این صورت خروجی در سطح پایین است. با اتصال خروجی گیت‌های کلکتور باز، خروجی مشترک فقط هنگامی در سطح بالاست که همه ترانزیستورهای خروجی خاموش (سطح بالا) باشند. اگر یک ترانزیستور خروجی هدایت کند، به ناچار خروجی کل به سطح پایین برده می‌شود.

منطق سیمی با گیت‌های TTL کلکتور باز در شکل ۱۲-۱۰ دیده می‌شود. سیم‌بندی فیزیکی در (الف) چگونگی اتصال به یک مقاومت مشترک را نشان می‌دهد. سمبل گرافیکی برای یک چنین اتصالی در (پ) مشاهده می‌شود. تابع AND تشکیل شده از اتصال دو خروجی به یکدیگر را تابع AND سیمی می‌گویند. گیت AND با عبور خطوط از مرکز گیت ترسیم می‌گردد تا به این ترتیب از گیت معمولی AND تمیز داده شود. گیت AND سیمی یک گیت فیزیکی نیست و تنها علامتی برای معرفی کردن تابع حاصل از اتصال می‌باشد. تابع بولی که از مدار شکل ۱۲-۱۰ بدست می‌آید عمل AND دو خروجی



(الف) اتصال فیزیکی (ب) سمبل گرافیکی منطق سیمی

شکل ۱۲-۱۰ . AND سیمی دو گیت کلکتور باز $Y = (AB + CD)'$

حاصل از دو گیت NAND است:

$$Y = (AB)' \cdot (CD)' = (AB + CD)'$$

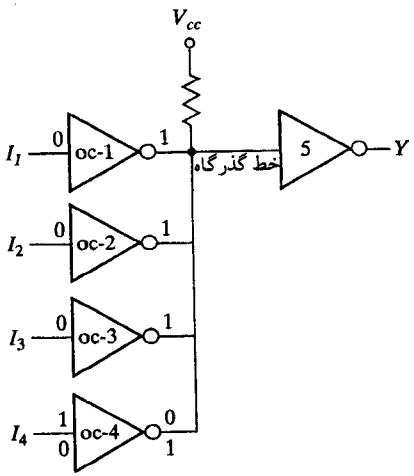
معمولاً عبارت دوم ترجیح داده می‌شود زیرا یک تابع AND– OR– INVERT است (بخش ۷-۳).

گیت‌های کلکتور باز می‌توانند جهت تشکیل یک گذرگاه مشترک به یکدیگر متصل شوند. در هر زمان باید خروجی‌های همه گیت‌های متصل به گذرگاه، به جز یکی، در سطح بالا نگهداری شوند. بسته به این که بخواهیم یک 1 و یا یک 0 به گذرگاه منتقل شود گیت مربوطه در سطح بالا یا پایین خواهد بود. از مدارهای کنترل، برای انتخاب گیت خاصی که گذرگاه را در هر زمان راه می‌اندازد، باید استفاده کرد.

شکل ۱۳-۱۰ اتصال چهار منبع متصل به یک خط گذرگاه مشترک را نشان می‌دهد. هر یک از چهار ورودی یک وارونگر کلکتور باز را راه می‌اندازد، و خروجی وارونگرها برای ایجاد یک خط گذرگاه مشترک، به هم وصل شده‌اند. شکل مذکور نشان می‌دهد که سه ورودی 0 می‌باشند که تولید 1 را روی گذرگاه خواهند نمود. اکنون چهارمین ورودی I_4 قادر است اطلاعات را از طریق خط گذرگاه مشترک به وارونگر 5 منتقل نماید. به خاطر می‌آورید که عمل AND با منطق سیمی انجام شد. اگر I_4=1 باشد خروجی گیت 4 برابر 0 و عمل AND سیمی یک 0 تولید می‌کند. اگر I_4=0 باشد خروجی گیت شماره 4 برابر 1 و عمل AND سیمی یک 1 تولید می‌نماید. بنابراین اگر همه خروجی‌های دیگر در 1 نگهداری شوند، گیت انتخابی قادر خواهد بود تا مقدارش را از طریق گذرگاه ارسال نماید. مقدار ارسال شده متمم I_4 است، و وارونگر 5 در سمت گیرنده به راحتی خواهد توانست این سیگنال را معکوس کرده و $Y=I_4$ را تولید نماید.

خروجی تاتم پل

امپدانس خروجی گیت معمولاً بار مقاومتی بعلاوه بار خازنی است. بار خازنی متشکل از ظرفیت ترانزیستور خروجی، ظرفیت گیت‌های گنجایش خروجی، و ظرفیت هر سیم‌بندی پراکنده است. وقتی

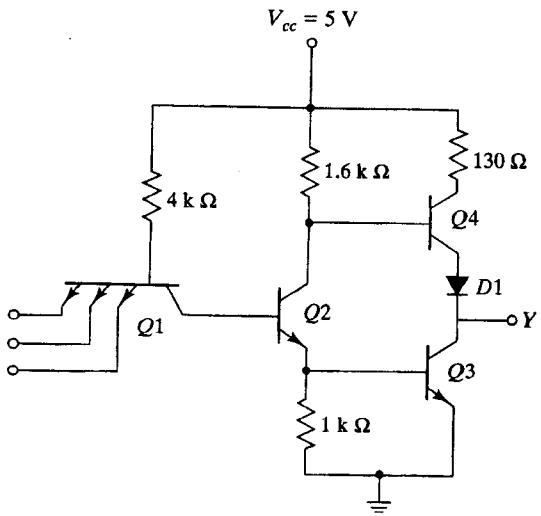


شکل ۱۳-۱۰ . گیت‌های کلکتور باز تشکیل دهنده یک گذرگاه مشترک

خروجی از حالت پایین به حالت بالا تغییر پیدا می‌کند، ترانزیستور خروجی گیت، از اشباع به حالت قطع می‌رود و ظرفیت بارکل C به صورت نمایی از سطح ولتاژ پایین به بالا با ثابت زمانی RC شارژ می‌گردد. برای گیت کلکتور باز، R یک مقاومت خارجی است و با R_L نشان داده می‌شود. برای یک مقدار عملی نمونه $C = 15PF$ و $R_L = 4K\Omega$، تأخیر زمانی گیت TTL کلکتور باز در حین زمان خاموشی 35ns است. با جایگزینی یک مدار بالاکش فعال به جای مقاومت بالاکش R_L، تأخیر انتشار به 10ns کاهش می‌یابد. این آرایش که در شکل ۱۴-۱۰ آمده است به دلیل نشستن ترانزیستور $Q4$ بر روی $Q3$ تاتم پل نامیده شده است.

گیت TTL با خروجی تاتم پل مشابه گیت کلکتور باز است. و فقط در ترانزیستور $Q4$ و دیود $D1$ تفاوت دارد. وقتی که خروجی Y در حالت منطقی پایین است، $Q2$ و $Q3$ مثل گیت کلکتور باز به اشباع رانده می‌شوند. ولتاژ در کلکتور $Q2$ برابر است با $V_{BE}(Q3) + V_{CE}(Q2)$ یا $0.7 + 0.2 = 0.9V$. خروجی $Y = V_{CE}(Q3) = 0.2V$ است. ترانزیستور $Q4$ خاموش خواهد بود زیرا بیس آن باید یک افت V_{BE} بعلاوه یک افت دیود یا $2 \times 0.6 = 1.2V$ باشد تا هدایت آغاز شود. چون کلکتور $Q2$ به بیس $Q4$ وصل است، در عوض 1.2V، برابر 0.9V می‌باشد، و در نتیجه $Q4$ قطع یا خاموش خواهد بود. دلیل استقرار دیود در مدار، یک افت دیود در مسیر خروجی است تا به هنگام اشباع $Q3$، ترانزیستور $Q4$ قطع باقی بماند.

وقتی که خروجی به سطح بالا تغییر وضعیت دهد، چون یکی از ورودی‌ها به سطح پایین می‌افتد، ترانزیستورهای $Q2$ و $Q3$ به حالت خاموش می‌روند. با این وجود، خروجی برای یک لحظه پایین باقی می‌ماند، زیرا ولتاژ دو سر بار خازنی بلافاصله تغییر نمی‌کند. به محض خاموش شدن $Q2$، $Q4$ هدایت می‌نماید زیرا بیس آن از طریق مقاومت $1.6K\Omega$ به V_{CC} وصل می‌شود. جریان لازم برای شارژ بار خازنی سبب می‌شود تا $Q4$ برای یک لحظه اشباع گردد، ولتاژ خروجی با ثابت زمانی RC بالا می‌رود. اما R در این حالت معادل 130Ω، بعلاوه مقاومت اشباع $Q4$، بعلاوه مقاومت دیود و در مجموع 150Ω



شکل ۱۴-۱۰. گیت TTL با خروجی تاتم پل

است. این مقدار R خیلی کوچکتر از مقاومت بالاکش غیرفعال به کار رفته در مدار کلکتور باز است. در نتیجه، گذر از سطح پایین به سطح بالا خیلی سریع‌تر است.

با شارژ بار خازنی، ولتاژ خروجی بالا می‌رود و جریان در $Q4$ کاهش می‌یابد و ترانزیستور را به ناحیه فعال می‌برد. بنابراین برخلاف دیگر ترانزیستورها، $Q4$ در حالت سکون در ناحیه فعال خواهد بود. در این صورت مقدار نهایی ولتاژ خروجی برابر است با 5V منهای افت ولتاژ V_{BE} در $Q4$، منهای افت دو سر دیود $D1$ و در حدود 3.6V خواهد بود. ترانزیستور $Q3$ به سرعت خاموش می‌شود، ولی در اوایل زمان گذر هر دو ترانزیستور روشن هستند و جریان ماکزیممی از منبع تغذیه کشیده می‌شود. این جریان ناگهانی در سیستم توزیع منبع تغذیه تولید پارازیت می‌کند. وقتی تغییر حالت تکرار شود، تغییرات لحظه‌ای جریان موجب بالا رفتن جریان از منبع شده و بدین ترتیب توان مصرف مدار افزایش می‌یابد.

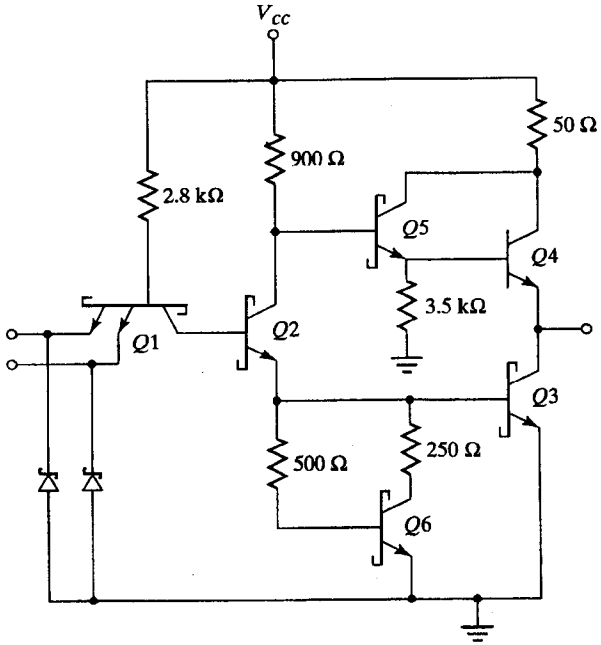
اتصال منطق سیمی با مدارهای تاتم پل مجاز نیست. وقتی دو خروجی تاتم پل به هم پیوسته شوند و خروجی یکی از آنها بالا و دومی پایین باشد، جریان زیادکشیده شده سبب می‌گردد تا گرمای تولید شده از آن به ترانزیستورهای مدار آسیب برساند (مسئله ۷-۱۰). بعضی از گیت‌های TTL طوری طراحی شده‌اند تا این مقدار جریان را تحمل کند. در هر صورت جریان کلکتور در گیت پایین ممکن است تا آن حد بالا باشد که ترانزیستور را به ناحیه فعال برده و یک ولتاژ خروجی بزرگتر از 0.8V در محل اتصال سیمی به وجود آورد که از نظر سیگنال دودویی برای گیت‌های TTL مجاز نیست.

گیت TTL شوتکی

همانطور که قبلاً اشاره شد، کاهش زمان ذخیره‌سازی موجب کاهش زمان تأخیر انتشار می‌گردد. این بدان علت است که زمان لازم برای خروج ترانزیستور از حالت اشباع موجب تأخیر سوئیچینگ ترانزیستور در رفتن از حالت روشن به حالت خاموش می‌گردد. اشباع را می‌توان با استقرار یک دیود شوتکی بین بیس و کلکتور هر ترانزیستور اشباع شده در مدار برطرف کرد. دیود شوتکی از اتصال یک فلز به یک نیمه هادی ساخته می‌شود، در حالی که دیود معمولی از پیوند مواد نیمه هادی نوع p و n به وجود می‌آید. ولتاژ دو سر دیود شوتکی در حال هدایت تنها 0.4V در مقابل 0.7V در دیود معمولی است. وجود دیود شوتکی بین بیس و کلکتور مانع رفتن ترانزیستور به اشباع می‌گردد. ترانزیستور حاصل، **ترانزیستور شوتکی** خوانده می‌شود. استفاده از دیود شوتکی در یک گیت TTL، تأخیر انتشار را بدون افزایش توان تلف شده، کاهش می‌دهد.

گیت TTL شوتکی در شکل ۱۵-۱۰ مشاهده می‌گردد. به سمبل خاص به کار رفته برای ترانزیستورها و دیودهای شوتکی توجه نمایید. همانطور که ملاحظه می‌شود همه ترانزیستورها به جز $Q4$ از نوع شوتکی‌اند زیرا این ترانزیستور به اشباع نمی‌رود، بلکه در ناحیه فعال باقی می‌ماند. همچنین توجه کنید که مقادیر مقاومت کاهش یافته‌اند تا تأخیر انتشار کم شود.

علاوه بر استفاده از ترانزیستورهای شوتکی و پایین آمدن مقاومت‌ها، در مدار شکل ۱۵-۱۰ دو تصحیح دیگر لحاظ شده است که در گیت استاندارد شکل ۱۴-۱۰ وجود ندارد. در این شکل دو



شکل ۱۵-۱۰. گیت TTL شوتکی

ترانزیستور $Q5$ و $Q6$ اضافه شده است و در بین هر پایانه ورودی و زمین یک دیود شوتکی قرار دارد. در مدار تاتم پل دیودی وجود ندارد. با این وجود، ترکیب جدید $Q5$ و $Q4$ هنگام پایین بودن خروجی، دو افت V_{BE} تولید می‌نماید تا از هدایت $Q4$ ممانعت شود. این ترکیب یک جفت امیتر فالوور را به نام جفت دارلینگتون به وجود می‌آورد. جفت دارلینگتون بهره بسیار بالا و مقاومت خیلی کم را فراهم می‌سازد. این دقیقاً همان چیزی است که هنگام تغییر خروجی مورد نیاز است، و در نتیجه زمان تأخیر انتشار کاهش می‌یابد.

دیودهایی که در هر ورودی نشان داده شده‌اند هرگونه افزایش در خطوط ورودی را برش می‌دهند. تحت شرایط سوئیچنگ، خطوط سیگنال، القایی به نظر می‌رسند؛ این خاصیت به همراه ظرفیت پارازیتی مدار سبب می‌شود تا سیگنال‌ها نوسان یا چرخش کنند. وقتی خروجی یک گیت از سطح بالا به پایین سوئیچ می‌کند، موج نوسانی می‌تواند 2 تا 3 ولت از زمین منفی‌تر شود. با توجه به این که دیودهای متصل به زمین ولتاژ منفی بیش از 0.4V را هدایت می‌نماید به بریده شدن این ورودی‌ها کمک می‌کنند. وقتی منفی شدن محدود گردد، نوسان مثبت نیز کاهش می‌یابد. کارایی دیودهای برش‌گر در محدود کردن اثرات خط آن قدر بالاست که در تمام نسل‌های گیت‌های TTL از آنها استفاده می‌شود.

مقاومت امیتر $Q2$ در شکل ۱۴-۱۰ به وسیله مداری متشکل از ترانزیستور $Q6$ و دو مقاومت در شکل ۱۵-۱۰ جایگزین شده است. نقش این مدار کاهش جهش‌های جریان قطع بحث شده قبلی است. تحلیل این مدار که به کاهش زمان انتشار گیت کمک می‌کند آن قدر پیچیده است که نمی‌توان آن را در این بحث مختصر ارائه نمود.

گیت‌سه حالته

همانطورکه قبلاً ذکر شد، خروجی‌های دوگیت TTL با ساختار تاتم پل نمی‌توانند مثل خروجی‌های کلکتور باز به هم وصل شوند. با این وجود نوع خاصی از تاتم پل وجود دارد که سیم‌بندی خروجی‌ها را برای ایجاد یک سیستم گذرگاه مشترک ممکن می‌سازد. هنگامی که یک خروجی تاتم پل دارای چنین خصوصیتی است، آن را گیت سه حالته می‌خوانند.

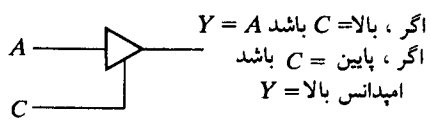
یک گیت سه حالته، سه وضعیت خروجی را به نمایش می‌گذارد: (۱) یک حالت سطح پایین به هنگام روشن شدن ترانزیستور پایینی و خاموش ماندن ترانزیستور بالایی در تاتم پل؛ (۲) یک حالت سطح بالا به هنگام روشن بودن ترانزیستور بالایی و خاموش ماندن ترانزیستور پایینی؛ (۳) حالت سوم هنگامی است که هر دو ترانزیستور در تاتم پل خاموش باشند. حالت اخیر مدار باز یا حالت امپدانس بالا را در خروجی ایجاد می‌نماید و اجازه می‌دهد تا چندین خروجی به طور مستقیم به هم متصل شوند. وجود گیت‌های سه حالته در گذرگاه‌ها نیاز به گیت‌های کلکتور باز در مدار را از بین می‌برد.

شکل ۱۶-۱۰ (الف) سمبل گرافیکی یک گیت بافر سه حالته را نشان می‌دهد. وقتی که ورودی کنترل C بالا باشد، گیت فعال شده و مانند یک بافر عمل نموده و خروجی‌اش برابر مقدار دودویی ورودی خواهد بود. اگر ورودی کنترل در سطح منطقی پایین باشد، خروجی به فرم مدار باز بوده و امپدانس بالایی را بدون توجه به مقدار ورودی A به نمایش می‌گذارد (سومین حالت). برخی از گیت‌های سه حالته، امپدانس بالا را به هنگام بالا بودن ورودی کنترل تولید می‌کنند. این مطلب به فرم سمبلیک در شکل ۱۶-۱۰ (ب) نشان داده شده است. در این شکل دو دایره کوچک، یکی برای خروجی وارونگر، و دیگری برای فعال شدن گیت در ازاء ورودی سطح پایین C ملاحظه می‌شود.

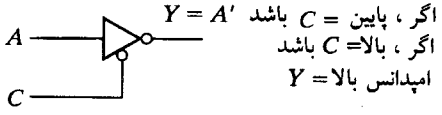
مدار یک وارونگر سه حالته در شکل ۱۶-۱۰ (پ) نشان داده شده است. ترانزیستورهای $Q6$، $Q7$ و $Q8$ مربوط به بخش کنترل، مداری مشابه با گیت کلکتور باز را تشکیل می‌دهند. ترانزیستورهای $Q1-Q5$ مربوط به بخش ورودی یک مدار از نوع تاتم پل را نمایش می‌دهند. دو مدار از طریق دیود $D1$ به هم مرتبط شده‌اند. همچون مدار کلکتور باز، وقتی که ورودی C در سطح پایین باشد ترانزیستور $Q8$ خاموش می‌شود. این حالت مانع هدایت دیود $D1$ می‌گردد. بعلاوه، امیتر $Q1$ که به $Q8$ وصل است دارای مسیر هدایت نخواهد بود. تحت این شرایط ترانزیستور $Q8$، اثری روی عمل گیت نداشته و خروجی در Y تنها به داده ورودی در A وابسته است.

وقتی که ورودی کنترل در سطح بالا باشد، ترانزیستور $Q8$ روشن می‌شود و جریان از V_{CC} به دیود $D1$ موجب می‌شود تا این ترانزیستور اشباع گردد. اکنون ولتاژ در بیس $Q5$ برابر با ولتاژ دو سر ترانزیستور اشباع شده $Q8$، بعلاوه یک افت دیود، یعنی 0.9V خواهد بود. این ولتاژ $Q5$ و $Q4$ را خاموش می‌کند، زیرا کمتر از دو افت V_{BE} است. در همین زمان ورودی پایین به یکی از امیترهای $Q1$ موجب خاموش شدن $Q3$ (و $Q2$) می‌گردد. بنابراین هر دو $Q3$ و $Q4$ در تاتم پل خاموش و خروجی مدار همچون مدار باز با امپدانس خیلی بالا عمل خواهد کرد.

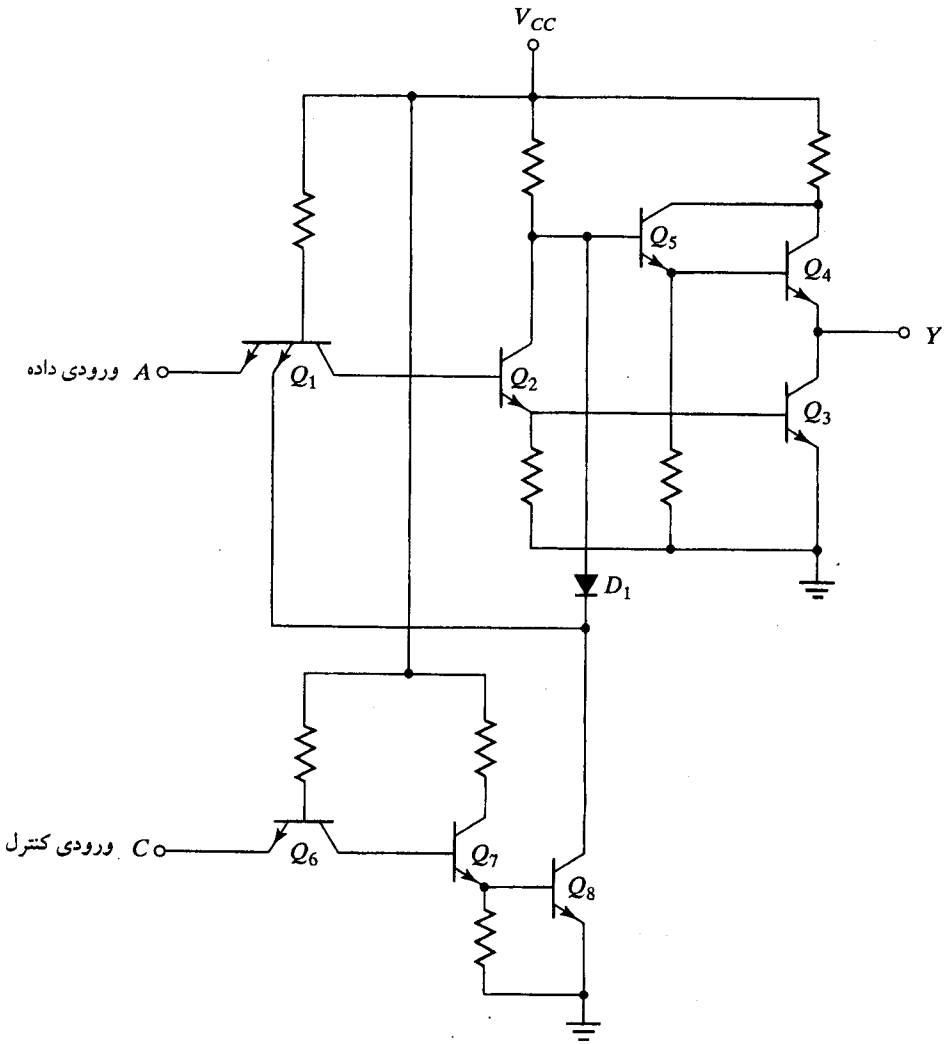
یک گذرگاه سه حالته با وصل کردن چندین سیم به چند خروجی سه حالته حاصل می‌شود. در هر



(الف) گیت بافر سه حالته



(ب) گیت وارونگر سه حالته



(پ) نمودار مدار برای وارونگر شکل (ب)

شکل ۱۶-۱۰. گیت TTL سه گانه

لحظه فقط یکی از ورودی‌های کنترل فعال شده و خروجی مربوط به آن به گذرگاه مشترک وصل می‌شود ضمن این که همه دیگر خروجی‌ها در حالت امپدانس بالا هستند. تک گیتی که در امپدانس بالا نیست قادر به انتقال اطلاعات از گذرگاه مشترک است. توجه دارید که به جز یک خروجی، همه آنها در حالت سوم هستند، در غیر این صورت وضعیت نابهنجار اتصال دو خروجی تاتم پل را خواهیم داشت.

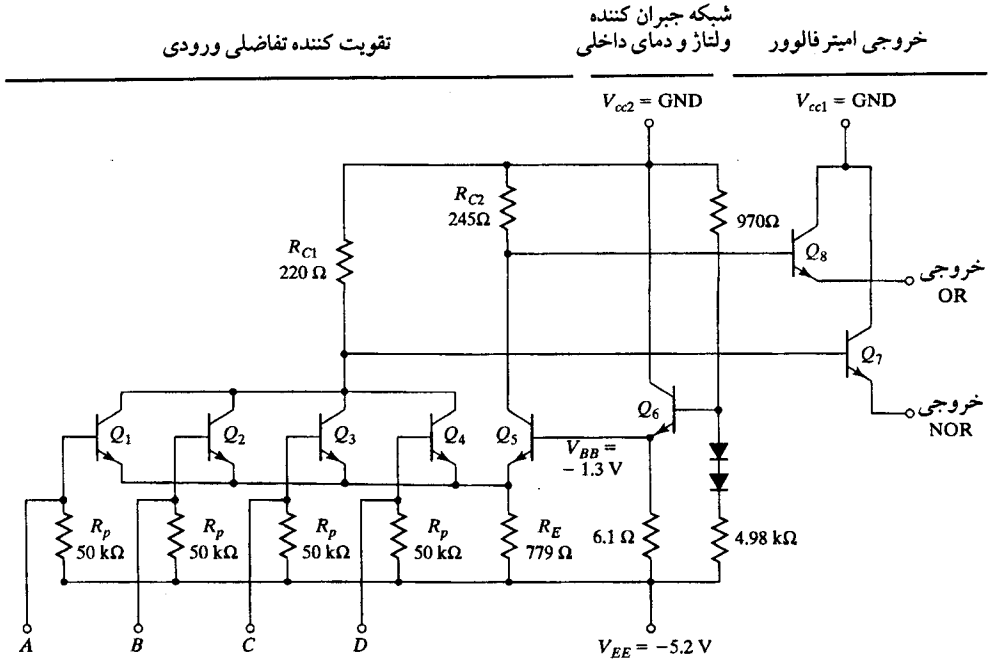
ویژگی خاص بسیاری از گیت‌های سه حالته این است که تأخیر فعال‌ساز خروجی طولانی‌تر از غیرفعال‌ساز آن است. اگر یک مدار کنترل، گیتی را فعال و همزمان با آن دیگری را غیرفعال کند، گیت فعال نشده قبل از فعال شده به حالت امپدانس بالا خواهد رفت. این خصوصیت مانع فعال شدن همزمان دو گیت می‌گردد.

در گیت سه حالته جریان نشتی کمی در وضعیت امپدانس بالا وجود دارد. معهذا این جریان به قدری کوچک است که می‌توان 100 عدد خروجی سه‌حالته را برای تشکیل یک گذرگاه سه‌حالته به هم متصل کرد.

۱۰-۶ منطق کوپلاژ امیتر ECL

منطق کوپلاژ امیتر ECL ، یک خانواده منطقی دیجیتال غیراشباع است. چون ترانزیستورها اشباع نمی‌شوند، ممکن است به تأخیرهای زمانی حدود 1–2ns دست یافت. این خانواده منطقی دارای پایین‌ترین تأخیر انتشار در مقایسه با دیگر خانواده‌هاست و اغلب در سیستم‌هایی که سرعت بالایی دارند استفاده می‌شود. با این وجود حد پارازیت و توان مصرفی آن بدترین است.

نمونه‌ای از یک مدار پایه خانواده ECL در شکل ۱۰-۱۷ ملاحظه می‌شود. خروجی‌ها، هر دو تابع OR و NOR را در اختیار می‌گذارند. هر ورودی به پایه یک ترانزیستور متصل است. دو سطح ولتاژ



شکل ۱۰-۱۷. گیت پایه ECL

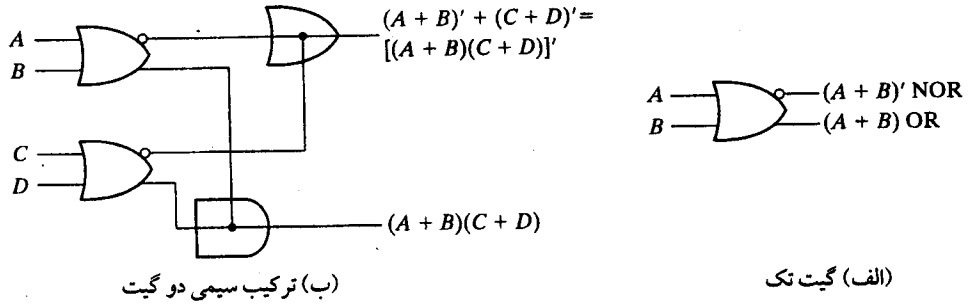
عبارتند از 0.8V− برای سطح بالا و حدود 1.8V− برای سطح پایین. مدار شامل تقویت کننده تفاضلی، یک جبران‌ساز دما و ولتاژ تغذیه، و یک خروجی امیتر فالوور (کلکتور مشترک) است. خروجی‌های امیتر برای راه افتادن جریان نیاز به مقاومت پایین کش دارند. این نیاز، از مقاومت ورودی، R_P، مربوط به گیت دیگر مشابه یا یک مقاومت بیرونی متصل به یک منبع ولتاژ منفی فراهم می‌گردد.

مدار داخلی جبران کننده ولتاژ- دما، ولتاژ مرجعی را برای تقویت کننده تفاضلی فراهم می‌سازد. ولتاژ تغذیه V_{BB} در 1.3V− تنظیم می‌گردد، که وسط محدوده دو سطح منطقی است. دیودها در تقسیم کننده ولتاژ به همراه $Q6$ مداری را تشکیل می‌دهند که علیرغم تغییر دما یا ولتاژ منبع، مقدار V_{BB} ثابت می‌ماند. هر یک از ورودی‌های منبع می‌تواند به عنوان زمین مورد استفاده قرار گیرد. با این وجود استفاده از نقطه V_{CC} به عنوان زمین و V_{EE} در 5.2V− بهترین حد پارازیت حاصل می‌شود.

اگر هر یک از ورودی‌ها در گیت ECL بالا برود، ترانزیستور مربوطه روشن و $Q5$ خاموش می‌شود. یک ورودی 0.8V− ، ترانزیستور را روشن کرده و سبب قرار گرفتن 1.6V− روی امیتر همه ترانزیستورها می‌گردد (افت V_{BE} در ترانزیستورهای ECL برابر 0.8V است). چون $V_{BB} = -1.3V$ است ولتاژ بیس $Q5$ تنها 0.3V مثبت‌تر از امیتر می‌باشد. با توجه به این که V_{BE} ترانزیستور $Q5$ به حداقل 0.6V برای شروع هدایت نیاز دارد بنابراین $Q5$ خاموش خواهد بود. جریان در مقاومت R_{C2} به بیس $Q8$ می‌رود (به شرط این که مقاومت باری وجود داشته باشد). این جریان به قدری کوچک است که فقط افت ولتاژ ناچیزی در دو سر R_{C2} به وجود می‌آید. خروجی OR گیت به اندازه یک افت V_{BE} کمتر از زمین، یعنی 0.8V− ، که سطح منطقی بالاست، می‌باشد. جریان در R_{C1} و ترانزیستور روشن سبب افت ولتاژ 1V کمتر از زمین می‌شود (مسئله ۹-۱۰). خروجی NOR یک افت V_{BE} زیر این سطح، یعنی 1.8V− است که سطح پایین منطقی می‌باشد.

اگر همه ورودی‌ها در سطح پایین باشند، همه ترانزیستورهای ورودی خاموش و $Q5$ روشن می‌گردد. ولتاژ در نقطه مشترک امیترها افتی برابر با یک V_{BE} زیر V_{BB} یعنی 1.2V− خواهد داشت. چون بیس مربوط به هر ورودی در سطح پایین 1.8V− است، هر پیوند بیس- امیتر تنها دارای 0.3V بوده و تمام ترانزیستورهای ورودی خاموش خواهند بود. جریان R_{C2} و $Q5$ سبب افت ولتاژی حدود 1V شده، و بنابراین خروجی OR یک V_{BE} به زیر این مقدار افت می‌نماید که مقدار آن 1.8V− بوده و سطح پایین منطقی خواهد بود. جریان در R_{C1} ناچیز بوده و خروجی NOR یک V_{BE} کمتر از زمین یعنی 0.8V− می‌شود که سطح بالای منطقی است. این وضعیت‌ها عملیات OR و NOR مدار را تأیید می‌کنند.

تأخیر انتشار گیت ECL ، 2ns است و توان تلف شده آن 25mW می‌باشد. این کمیت‌ها، حاصلضرب سرعت- توان 50 را بدست می‌دهند که برابر با حاصلضرب مشابه در TTL شوتکی است. حد پارازیت حدود 0.3V است ولی به خوبی گیت TTL نیست. امکان گنجایش خروجی زیادی به دلیل وجود امپدانس ورودی بالای تقویت کننده تفاضلی و امپدانس خروجی کم در امیتر فالوور، در گیت ECL وجود دارد. به دلیل سرعت قابل توجه سیگنال‌ها، سیم‌های بیرونی مانند خطوط انتقال عمل می‌نمایند. به جز مواردی که طول سیم حدود چند سانتی‌متر است، خروجی‌های ECL باید از کابل‌های



شکل ۱۸-۱۰ . سمبل‌های گرافیکی گیت‌های ECL

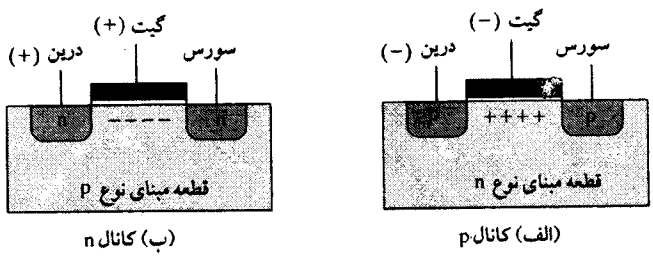
کواکسیال (هم محور) استفاده کنند و در انتهای آنها نیز باید یک مقاومت نصب شود تا از انعکاس جلوگیری نماید.

سمبل گرافیکی گیت ECL در شکل ۱۸-۱۰ (الف) ملاحظه می‌شود. دو خروجی در دسترسند: یکی برای تابع OR و دیگری تابع NOR. خروجی‌های دو یا چند گیت ECL را می‌توان به هم وصل کرد تا منطق سیمی بوجود آید. طبق شکل ۱۸-۱۰ (ب) اتصال سیمی دو خروجی NOR یک اتصال OR به وجود می‌آورد. در بعضی از آی‌سی‌های ECL اتصال درونی خروجی‌های OR تولید AND سیمی می‌کند (بعضی به آن AND – dot یا AND نقطه‌ای می‌گویند). در مواردی که از گیت‌های ECL برای ایجاد AND–INVERT – OR و توابع AND–OR استفاده می‌شود، این خاصیت به‌کار می‌رود.

۱۰-۷ فلز-اکسید-نیمه‌هادی (MOS)

ترانزیستور اثر میدان (FET) نوعی ترانزیستور تک قطبی است، زیرا عملکرد آن فقط به جریان یک نوع حامل وابسته است. دو نوع ترانزیستور اثر میدان وجود دارد: ترانزیستور اثر میدان پیوندی، JFET و فلز-اکسید-نیمه‌هادی، MOS. نوع اول در مدارهای خطی و دومی در مدارهای دیجیتال به کار می‌رود. در مقایسه با ترانزیستورهای دو قطبی، ترانزیستورهای MOS سطح کمتری را در ساخت اشغال می‌کنند.

ساختار ترانزیستور مبنای MOS در شکل ۱۹-۱۰ دیده می‌شود. MOS کانال p متشکل از قطعه بدنه‌ای است که از ماده سیلیکان نوع n با ناخالصی کم می‌باشد. دو ناحیه‌ای که ناخالصی p آنها بالاست سورس و درین را تشکیل می‌دهند. ناحیه بین دو بخش نوع p نقش کانال را به عهده دارد. گیت



شکل ۱۹-۱۰ . ساختار پایه ترانزیستور MOS

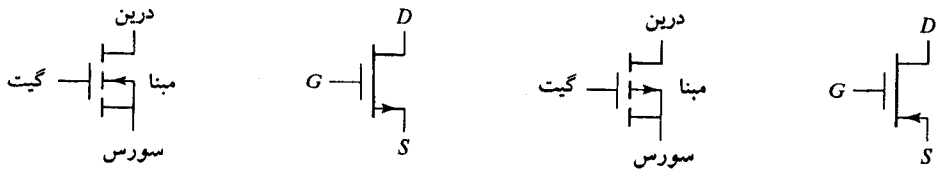
یک صفحه فلزی است که توسط یک دی‌الکتریک از جنس دی اکسید سیلیکان از کانال جدا شده است. یک ولتاژ منفی (نسبت به بدنه) در گیت موجب القاء میدان الکتریکی در کانال شده و حامل‌های نوع p را جذب می‌نماید. با افزایش مقدار ولتاژ منفی در گیت، ناحیه زیر گیت حامل‌های مثبت بیشتری را در خود جای داده و هدایت افزایش می‌یابد و جریان از سورس به درین جاری شده و افت ولتاژهای بین این دو پایانه به وجود می‌آید.

چهار نوع ساختار برای MOS وجود دارد. بسته به این که حامل‌های اکثریت از نوع حفره یا الکترون باشند، کانال از نوع p و یا n خواهد بود. اگر به کانال p مقدار کمی ناخالص تزریق شود، کانال در ولتاژ گیت صفر ولت هدایت خواهد کرد و در این حال گوییم عملکرد در مد تهی است. در این مد، جریان جاری خواهد بود مگر این که کانال به وسیله میدان حاصل از گیت تهی شود. اگر ناحیه زیر گیت ابتدا بدون بار باشد، کانال باید با میدان گیت القاء شود تا جریان بتواند جاری گردد. بنابراین جریان کانال با ولتاژ گیت افزایش می‌یابد که در این صورت گوییم قطعه در مد افزایشی یا پیشرفته کار می‌کند.

سورس پایانه‌ای است که از آن حامل‌های اکثریت وارد کانال میله‌ای شکل می‌شوند. درین پایانه‌ای است که از آن طریق حامل‌های اکثریت کانال را ترک می‌نمایند. در یک MOS کانال p، پایانه سورس به بدنه و درین به ولتاژ منفی متصل می‌گردند. وقتی که ولتاژ گیت بالاتر از ولتاژ آستانه V_T (حدود $-2V$) باشد، جریانی درکانال برقرار نیست و مسیر درین به سورس مانند یک مدار باز است. هنگامی که ولتاژ گیت به اندازه کافی منفی‌تر از V_T باشد، کانال ایجاد شده و حامل‌های نوع p از سورس به درین خواهند رفت. حامل‌های نوع p مثبتند و به جریان مثبت از سورس به درین وابسته‌اند.

در MOS کانال n، پایانه سورس به بدنه و ولتاژ مثبت به درین وصل است. وقتی که ولتاژ گیت به قدر کافی مثبت‌تر از V_T برای تشکیل کانال باشد، حامل‌های نوع n از سورس به درین می‌روند. حامل‌های n منفی‌اند، و متعلق به جریان مثبت از درین به سورس است. ولتاژ آستانه ممکن است بسته به فرآیند به کار رفته بین 1 الی 4V تغییر نماید.

سمبل‌های گرافیکی برای ترانزیستورهای MOS در شکل ۲۰-۱۰ دیده می‌شود. سمبل نوع افزایشی به صورت خط منقطع بین سورس و درین می‌باشد. در این سمبل بدنه به سورس وصل شده است. ما از سمبل دیگری که در آن از بدنه چشم‌پوشی شده است نیز استفاده خواهیم کرد. در این سمبل فلش در پایانه سورس برای نمایش جهت جریان مثبت به کار گرفته شده است. یادآوری می‌شود که جهت جریان در کانال p از سورس به درین و در کانال n از درین به سورس می‌باشد.



(الف) کانال p (ب) کانال n

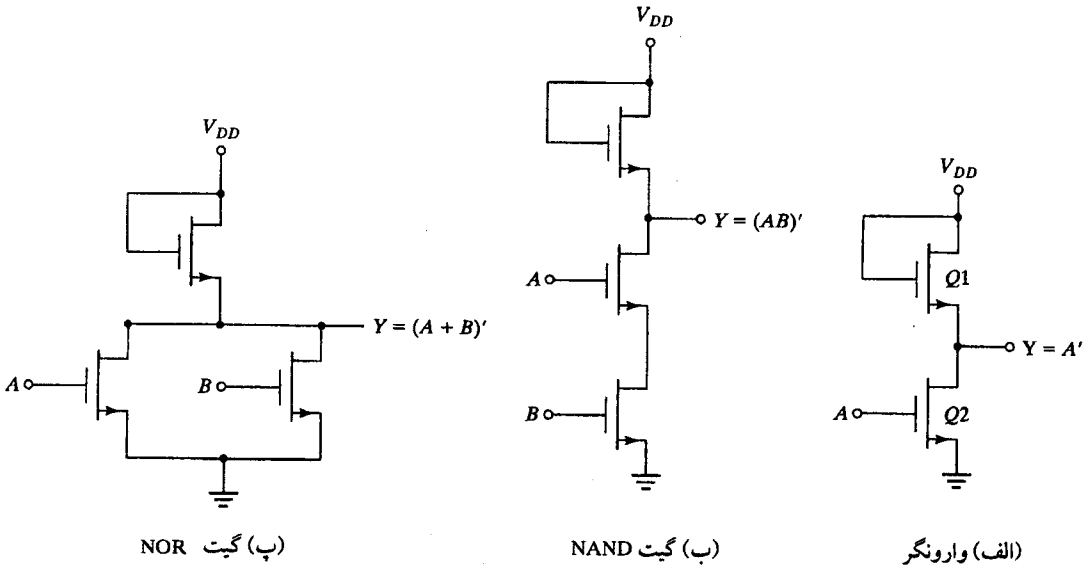
شکل ۲۰-۱۰ . علائم ترانزیستورهای MOS

به دلیل تقارن ساختار سورس و درین، ترانزیستور MOS قادر است به صورت یک قطعه دو جهته کار کند. گرچه در حالت معمولی جهت حرکت حامل‌ها از سورس به درین است. مواردی وجود دارد که بهتر است حامل‌ها از درین به سورس بروند (مسئله ۱۲-۱۰ ملاحظه شود).

یکی از مزایای قطعه MOS این است که نه تنها به عنوان ترانزیستور به کار می‌رود بلکه به عنوان مقاومت نیز مورد استفاده قرار می‌گیرد. با تغذیه دائم پایانه گیت می‌توان از MOS مقاومت ساخت. سپس نسبت به ولتاژ سورس- درین به جریان کانال، مقدار مقاومت را تعیین می‌کند. مقادیر مختلف مقاومت را می‌توان به هنگام ساخت با تثبیت طول کانال و عرض قطعه MOS تعیین کرد.

سه مدار منطقی که از MOS استفاده می‌کنند در شکل (۲۱-۱۰) نشان داده شده است. برای MOS کانال n ولتاژ تغذیه V_{DD} مثبت است (حدود 5V) تا جریان مثبتی را از درین به سورس به وجود آورد. دو سطح ولتاژ منطقی تابعی از ولتاژ آستانه V_T هستند. سطح پایین از صفر تا V_T و سطح بالا از V_T تا V_{DD} است. گیت‌های کانال n معمولاً از منطق مثبت استفاده می‌کنند. مدارهای MOS کانال p ولتاژ منفی را برای V_{DD} به کار می‌برند تاجریان مثبت از سورس به درین جاری شود. دو سطح ولتاژ هر دو منفی و در بالا و پایین ولتاژ آستانه V_T قرار دارند. گیت‌های کانال p معمولاً منطق منفی را به کار می‌برند.

مدار وارونگری که در شکل ۲۱-۱۰ (الف) ملاحظه می‌شود از MOS استفاده کرده است. $Q1$ به عنوان مقاومت بار و $Q2$ به عنوان یک قطعه فعال عمل می‌نمایند. گیت مقاومت بار MOS به V_{DD} وصل است و بنابراین همیشه آن را روشن نگه می‌دارد. وقتی که ولتاژ ورودی پایین است (زیرا V_T)، $Q2$ خاموش می‌شود. چون $Q1$ همیشه روشن است، ولتاژ خروجی حدود V_{DD} خواهد بود. هنگامی که ولتاژ ورودی بالاست (بیش از V_T)، $Q2$ روشن می‌گردد. جریان از V_{DD} از طریق مقاومت بار $Q1$ به $Q2$



(پ) گیت NOR (ب) گیت NAND (الف) وارونگر

شکل ۲۱-۱۰ . مدارهای منطقی MOS کانال n

می‌رود. ابعاد دو قطعه MOS باید طوری باشد که هنگام هدایت مقاومت $Q2$ خیلی کوچکتر از مقاومت $Q1$ باشد تا ولتاژ خروجی Y در کمتر از V_T نگهداری شود.

گیت NAND که در شکل ۲۱-۱۰ (ب) دیده می‌شود از ترانزیستورهای سری استفاده می‌کند. هر دو ورودی A و B برای همه ترانزیستورها باید در سطح بالا باشند تا هدایت نمایند و بنابراین خروجی به پایین برود. اگر هر یک از دو ورودی در سطح پایین باشد، ترانزیستور متعلق به آن خاموش شده و خروجی بالا می‌رود. مجدداً یک مقاومت سری که با دو وسیله MOS فعال تشکیل می‌شود باید خیلی کمتر از مقاومت بار MOS در مدار باشد، گیت NOR شکل ۲۱-۱۰ (پ) از ترانزیستورهای موازی استفاده می‌کند. اگر هر یک از ورودی‌ها بالا باشد ترانزیستور مربوطه روشن و خروجی پایین خواهد رفت. اگر همه ورودی‌ها پایین باشند، همه ترانزیستورهای فعال خاموش شده و خروجی به سطح بالا خواهد رفت.

۱۰-۸ MOS متمم (CMOS)

مدارهای MOS متمم از این مزیت سود می‌برند که هر دو نوع قطعه کانال p و n بر روی یک بدنه قابل ساخت‌اند. مدارهای CMOS از دو نوع قطعه MOS در درون به هم متصلند تا توابع منطقی را ایجاد کنند. مدار پایه، وارونگر است، که از یک ترانزیستور کانال p و یک ترانزیستور کانال n طبق شکل ۲۲-۱۰ (الف) ساخته می‌شود. پایانه سورس قطعه کانال p در V_{DD} و پایانه سورس قطعه کانال n به زمین وصل است. مقدار V_{DD} می‌تواند در هر جا بین 3+ تا 18V+ باشد. دو سطح ولتاژ عبارتند از 0V برای سطح پایین و V_{DD} برای سطح بالا که معمولاً 5V است.

برای درک عملکرد وارونگر، باید رفتار ترانزیستور MOS را از دو بخش قبل مرور کنیم:

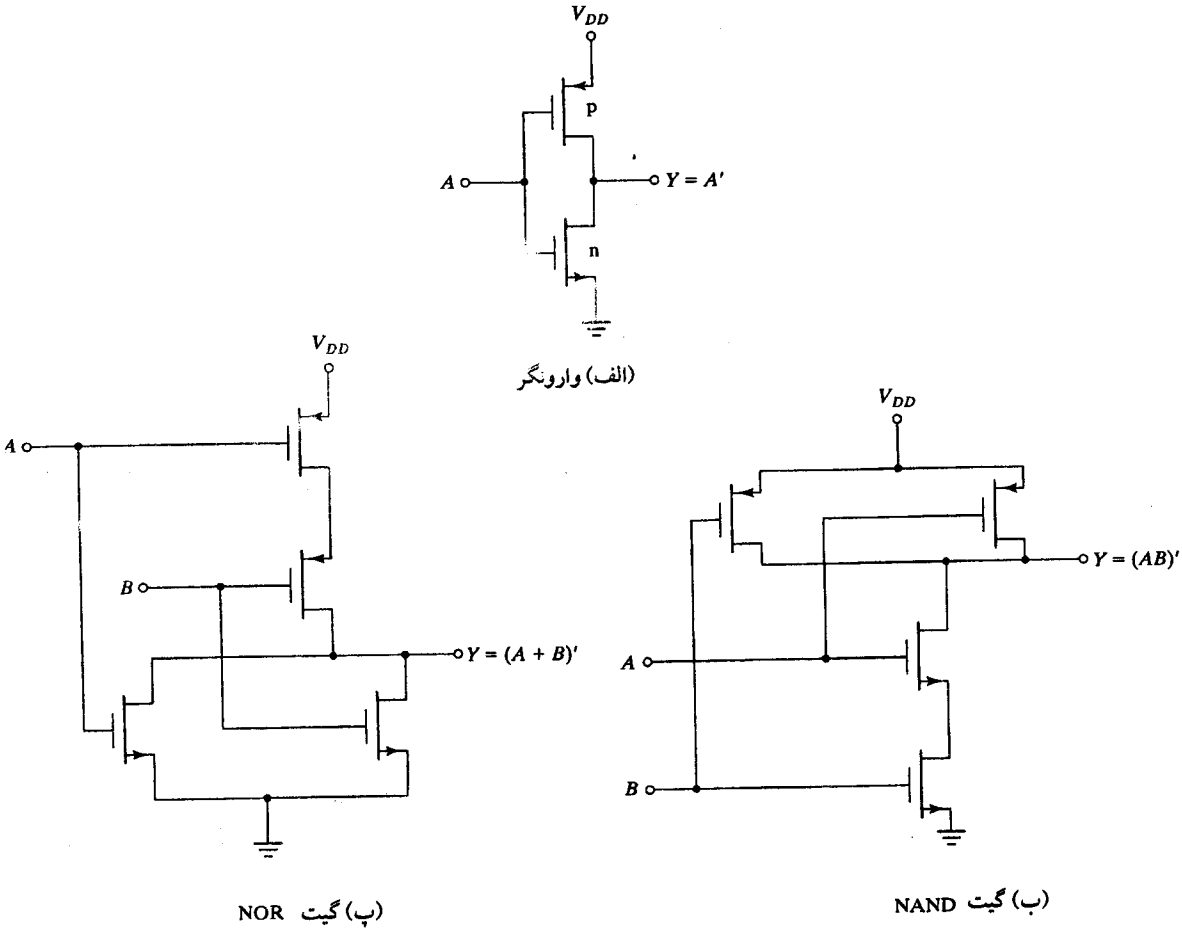
۱- MOS کانال n وقتی هدایت می‌کند که ولتاژ گیت- سورس مثبت باشد.

۲- MOS کانال p هنگامی هدایت می‌نماید که ولتاژ گیت- سورس منفی است.

۳- هر یک از دو نوع در ازاء ولتاژ صفر بین گیت- سورس، خاموش است.

اکنون به طرز کار وارونگر توجه کنید. وقتی ورودی پایین است، هر دو گیت در پتانسیل صفر هستند. ورودی نسبت به سورس قطعه کانال p در $V_{DD}-$ و نسبت به سورس قطعه کانال n در 0V است. نتیجه این که قطعه کانال p روشن و قطعه کانال n خاموش خواهد بود. تحت این شرایط یک مسیر با امپدانس کم از V_{DD} به خروجی و مسیری با امپدانس خیلی زیاد از خروجی به زمین برقرار می‌گردد. بنابراین، ولتاژ خروجی تحت شرایط بار معمولی به سمت ولتاژ بالای V_{DD} میل خواهد کرد. وقتی که ورودی بالاست، هر دو گیت در V_{DD} بوده و وضعیت معکوس می‌گردد. قطعه کانال p خاموش و کانال n روشن خواهد شد. در نتیجه خروجی به سمت 0V می‌رود.

دو گیت پایه دیگر CMOS در شکل ۲۲-۱۰ ملاحظه می‌گردد. یک گیت NAND دو ورودی از دو بخش موازی نوع p و دو بخش سری نوع n طبق شکل ۲۲-۱۰ (ب) تشکیل شده است. اگر همه ورودی‌ها بالا باشند، هر دو ترانزیستور کانال p خاموش و هر دو ترانزیستور کانال n روشن خواهند بود. خروجی دارای امپدانس کمی نسبت به زمین بوده و سطح پایین را تولید می‌نماید. اگر هر یک از

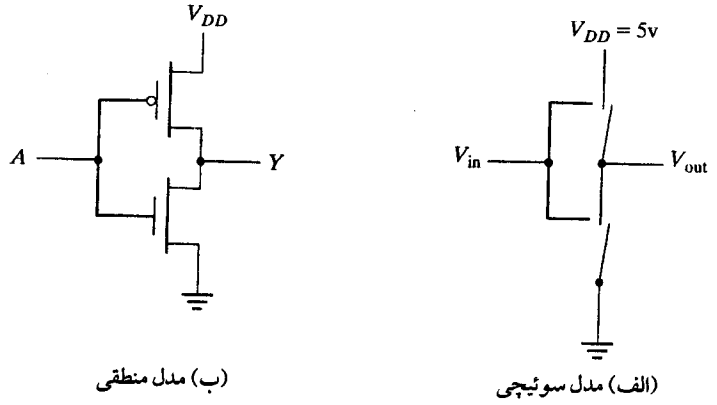


شکل ۲۲-۱۰ . مدارهای منطقی CMOS

ورودی‌ها پایین باشد، ترانزیستور کانال n مربوط به آن خاموش و ترانزیستور کانال p روشن می‌شود. خروجی به V_{DD} متصل و به سطح بالا می‌رود. گیت‌های NAND چند ورودی را می‌توان به ترتیب با موازی و سری کردن تعدادی مساوی از ترانزیستورهای نوع p و نوع n طبق شکل ۲۲-۱۰ (ب) ساخت.

یک گیت NOR دو ورودی از دو واحد نوع n موازی و دو واحد p سری، مطابق شکل ۲۲-۱۰ (پ) تشکیل می‌شود. وقتی همه ورودی‌ها پایین هستند، واحدهای کانال p روشن و هر دو واحد کانال n خاموش‌اند. خروجی به V_{DD} وصل شده و به سطح بالا می‌رود. اگر هر یک از ورودی‌ها بالا برود، ترانزیستور کانال p خاموش و ترانزیستور کانال n روشن می‌شود. این موجب می‌شود تا خروجی به زمین متصل و سطح پایین در آن تشکیل گردد.

ترانزیستورهای MOS را می‌توان به عنوان سوئیچ‌هایی که وصل می‌کنند و یا باز هستند، تصور کرد.



شکل ۲۳-۱۰. وارونگر CMOS

به عنوان مثال وارونگر MOS را می‌توان طبق شکل ۲۳-۱۰ (الف) متشکل از دو سوئیچ تصور کرد. اعمال ولتاژ پایین سبب می‌شود تا سوئیچ بالایی (p) بسته شده و ولتاژ بالایی را به خروجی متصل نماید. اعمال ولتاژ بالا به ورودی موجب می‌گردد تا سوئیچ پایینی (n) بسته شده و خروجی را به زمین وصل کند. بنابراین خروجی V_{out} متمم ورودی V_{in} است. کاربردهای تجاری اغلب از سمبل‌های گرافیکی دیگر برای ترانزیستور استفاده می‌کنند تا بر رفتار سوئیچی آن تأکید شود. از فلشی که جهت جریان را نشان می‌دهد صرف‌نظر شده است. در عوض، ورودی گیت ترانزیستور کانال p با یک حباب وارونگر در پایانه گیت رسم شده است تا مشخص شود که با ولتاژ فعال می‌شود. مدار وارونگر با این سمبل در شکل ۲۳-۱۰ (ب) دوباره رسم شده است. یک 0 در ورودی موجب می‌شود تا ترانزیستور فوقانی هدایت کرده و خروجی به منطق 1 برود. یک 1 در ورودی ترانزیستور تحتانی را روشن کرده و خروجی به 0 منطقی وصل می‌شود.

مشخصه‌های COMS

وقتی که یک مدار منطقی CMOS در حالت استاتیک یا سکون است توان مصرفی‌اش خیلی کم است. دلیل این است که وقتی حالت مدار تغییر نکند، همیشه یک ترانزیستور در مسیر خاموش است. در نتیجه یک گیت CMOS نوعی دارای توان مصرفی استاتیکی حدود 0.01mW است. با این وجود وقتی که مدار با فرکانس 1MHz تغییر حالت دهد توان مصرفی به حدود 1mW و در 10MHz به 5mW می‌رسد.

مدار منطقی CMOS با یک منبع بین 18V-3 و معمولاً 5V تغذیه می‌شود. راه‌اندازی CMOS با منبع تغذیه بالاتر کاهش زمان تأخیر انتشار و تصحیح حد پارازیت را به دنبال دارد ولی توان مصرفی افزایش می‌یابد. زمان تأخیر در انتشار برای $V_{DD} = 5V$ بین 5 تا 20ns است که این محدوده به نوع CMOS به کار رفته وابسته است. حد پارازیت معمولاً حدود 40 درصد ولتاژ منبع تغذیه می‌باشد. گنجایش خروجی گیت‌های CMOS وقتی در فرکانس 1MHz کار کند حدود 30 می‌باشد. گنجایش

خروجی با افزایش فرکانس کار، کاهش می‌یابد.

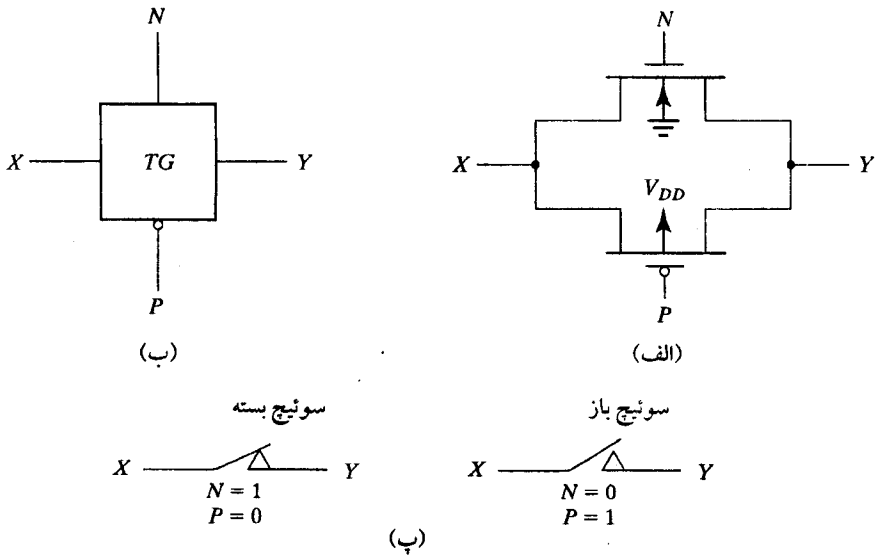
چندین سری از خانواده دیجیتال CMOS وجود دارد و سری 74C با وسایل TTL از نظر پایه و کار سازگار است و دارای شماره یکسانی نیز هستند. مثلاً آی‌سی CMOS نوع 74C04 دارای شش وارونگر با آرایش پایه مشابه نوع TTL، 7404 می‌باشد. سری CMOS سرعت بالا 74HC، اصلاحی بر سری 74C است که در آن سرعت سوئیچینگ 10 برابر شده است. سری 74HCT از نظر الکتریکی سازگار با آی‌سی‌های TTL است. این بدان معنی است که این نوع مدار قابل اتصال به ورودی‌ها و خروجی‌های آی‌سی‌های TTL می‌باشد بدون آن که به مدارهای واسط اضافی نیاز باشد. نوع جدیدتر CMOS، نوع سریع 74VHC و سازگار با آن، 74VHCT می‌باشد.

فرآیند ساخت CMOS ساده‌تر از TTL بوده و چگالی بسته‌بندی بیشتری را هم داراست، یعنی مدارهای بیشتری در سطح مفروضی از سیلیکان قابل پیاده‌سازی بوده و بنابراین فاکتور قیمت بر تابع آن کاهش می‌یابد. این خاصیت، همراه با توان مصرفی کم، حد پارازیت خوب و زمان تأخیر انتشار منطقی آن، CMOS را به یک خانواده منطقی مورد توجه تبدیل نموده است.

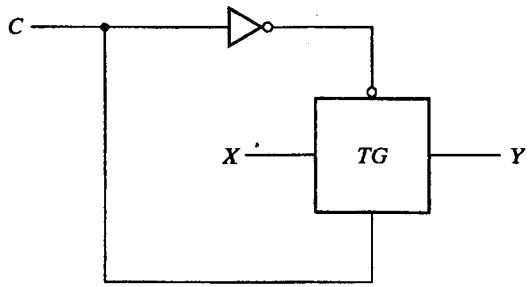
۱۰-۹ مدارهای گیت انتقال CMOS

نوع خاصی از مدارهای CMOS که در دیگر خانواده‌های منطقی موجود نیست، گیت انتقال می‌باشد. این مدار اساساً یک سوئیچ الکترونیک است که به وسیله یک سطح ورودی منطقی کنترل می‌گردد. این مدار برای ساده کردن ساخت انواع قطعات دیجیتال که با تکنولوژی CMOS ساخته می‌شوند به کار می‌رود.

شکل ۲۴-۱۰ (الف) مدار پایه گیت انتقال را نشان می‌دهد. این مدار شامل یک ترانزیستور کانال n و یک ترانزیستور MOS کانال p است که با یکدیگر موازیند.



شکل ۲۴-۱۰ . گیت انتقال (TG)

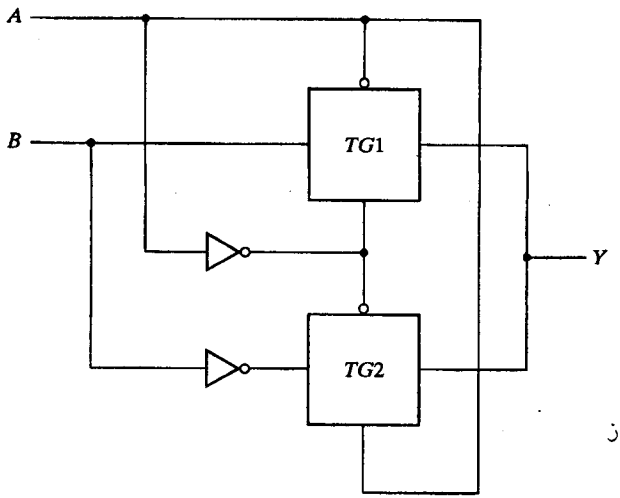


شکل ۲۵-۱۰ . سویچ دو طرفه

بدنه کانال n به زمین و بدنه کانال p به V_{DD} وصل است. وقتی گیت N در V_{DD} و گیت p به زمین متصل است، هر دو ترانزیستور هدایت کرده و یک مسیر بسته بین ورودی X و خروجی Y به وجود می‌آید. وقتی N به زمین است و گیت p به V_{DD} وصل می‌باشد، هر دو ترانزیستور خاموش و بین X و Y یک مدار باز وجود خواهد داشت. شکل ۲۴-۱۰ (ب) نمودار بلوکی گیت انتقال را نشان می‌دهد. توجه کنید که پایانه گیت کانال p با علامت نفی علامت‌گذاری شده است. شکل ۲۴-۱۰ (ب) رفتار سوئیچ را برحسب تخصیص منطق مثبت نشان می‌دهد که در آن V_{DD} معادل با منطق 1 و زمین نیز منطق 0 است.

گیت انتقال معمولاً به یک وارونگر وصل می‌گردد، شکل ۲۵-۱۰. این نوع آرایش را سوئیچ دو طرفه می‌نامند. ورودی کنترل C مستقیماً به گیت کانال n و معکوس آن به گیت کانال p وصل است. وقتی $C = 1$ است، سوئیچ بسته شده و مسیری بین X و Y به وجود می‌آورد. اگر $C = 0$ باشد، سوئیچ باز شده و مسیر بین X و Y را قطع می‌کند. با گیت انتقال می‌توان انواع مدارها را ساخت. برای نمایش کارآیی آن به عنوان یک قطعه در خانواده CMOS ، مدار سه مثال را نشان می‌دهیم.

گیت OR انحصاری (XOR) را می‌توان با گیت انتقال و دو وارونگر ساخت، شکل ۲۶-۱۰ .

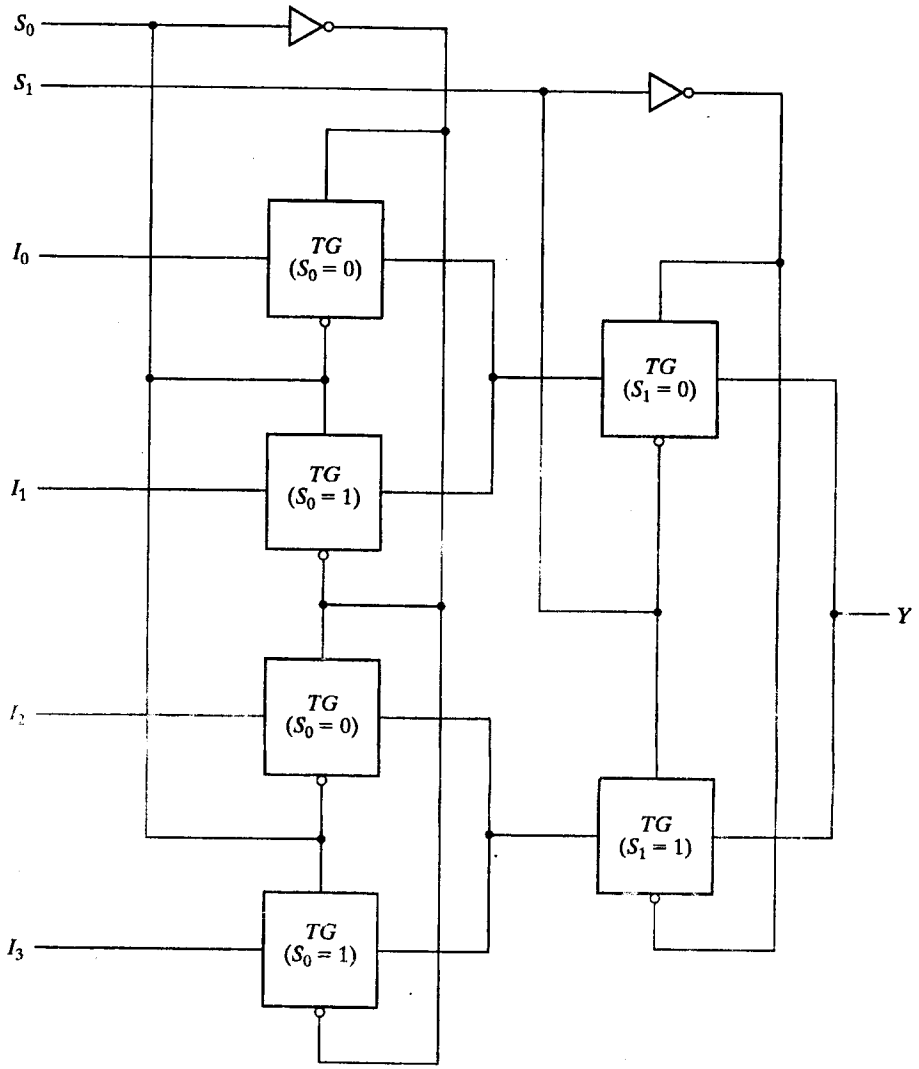


A	B	TG1	TG2	Y
0	0	بسته	باز	0
0	1	بسته	باز	1
1	0	باز	بسته	1
1	1	باز	بسته	0

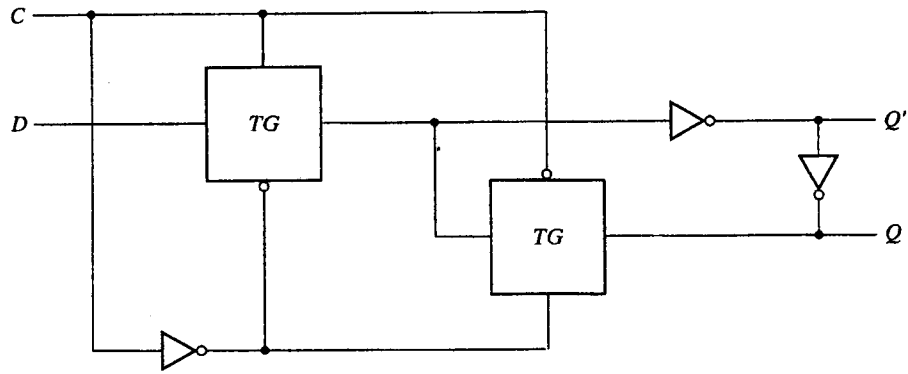
شکل ۲۶-۱۰ . XOR ساخته شده از گیت‌های انتقال

ورودی A مسیرها را در گیت‌های انتقال کنترل می‌کند و ورودی B از طریق گیت‌ها به خروجی Y وصل می‌باشد. وقتی ورودی A برابر 0 است، گیت انتقال $TG1$ بسته و خروجی Y برابر با ورودی B می‌گردد. هنگامی که ورودی A در 1 است، گیت $TG2$ بسته و خروجی برابر با متمم ورودی B خواهد بود. این حالات جدول درستی XOR را مطابق با شکل ۲۶-۱۰ نتیجه می‌دهند.

مدار دیگری که با گیت انتقال قابل ساخت است، مولتی پلکسر می‌باشد. یک مولتی پلکسر 4 به 1 با گیت‌های انتقال در شکل ۲۷-۱۰ ملاحظه می‌شود. مدار TG، به هنگام 1 بودن کنترل‌های عمودی در ورودی‌های بدون حباب، و 0 در ورودی‌های حباب‌دار، یک مسیر انتقال بین ورودی‌های افقی و خروجی ایجاد می‌نماید. با تغییر قطبیت در ورودی‌های کنترل مسیر قطع و مدار مانند یک سوئیچ باز



شکل ۲۷-۱۰ . مولتی پلکسر با گیت‌های انتقال



شکل ۲۸-۱۰ . لچ D گیت شده با گیت‌های انتقال

عمل خواهد کرد. دو ورودی انتخاب S_1 و S_0، مسیر انتقال را در مدار TG کنترل می‌نمایند. در داخل هر مربع شرط بسته بودن سوئیچ گیت انتقال نوشته شده است. بنابراین اگر $S_0 = 0$ و $S_1 = 0$ باشد، مسیر بسته‌ای از ورودی I_0 به خروجی Y که از طریق دو گیت TG که با $S_0 = 0$ و $S_1 = 0$ مشخص شده‌اند، ایجاد می‌شود. سه ورودی دیگر به وسیله سایر مدارهای TG از خروجی جدا شده‌اند.

فلیپ فلاپ D حساس به سطح که معمولاً به آن لچ D گیتی می‌گویند، به وسیله گیت‌های انتقال قابل ساخت است، شکل ۲۸-۱۰. ورودی C دو گیت انتقال را کنترل می‌نماید. وقتی $C = 1$ است، TG متصل به ورودی D مسیر بسته‌ای دارد و دیگری که به خروجی Q متصل است مسیر بازی ایجاد می‌نماید. این وضعیت دو مدار معادلی، از ورودی D از طریق دو وارونگر به خروجی به وجود می‌آورد. بنابراین مادامی که C فعال بماند خروجی، ورودی را دنبال خواهد کرد. اگر $C = 0$ باشد، اولین TG ورودی D را از مدار قطع و دومین TG مسیر بسته‌ای را بین دو وارونگر در خروجی ایجاد می‌کند. بنابراین مقدار موجود در ورودی D در لحظه انتقال C از 1 به 0 در خروجی Q حفظ خواهد شد.

می‌توان یک فلیپ فلاپ حاکم- تابع را هم با دو مدار طبق شکل ۲۸-۱۰ ساخت. اولین مدار حاکم و دومی تابع است. بنابراین یک فلیپ فلاپ D حاکم- تابع را می‌توان با چهار گیت انتقال و شش وارونگر ایجاد کرد.

۱۰-۱۰ مدل‌سازی سطح- سوئیچ با HDL

CMOS ، خانواده منطقی دیجیتال حاکم در مدارهای مجتمع است. بنا به تعریف، CMOS اتصال متمم یا مکمل یک ترانزیستور NMOS با یک ترانزیستور PMOS می‌باشد. ترانزیستورهای MOS را می‌توان به عنوان سوئیچ در نظر گرفت که در حالت بسته یا باز قرار دارند. با تعریف اتصالات بین سوئیچ‌های MOS ، طراح می‌تواند یک مدار ساخته شده با CMOS را تعریف نماید. این نوع تعریف را در Verilog HDL ، مدل‌سازی سطح- سوئیچ می‌نامند.

دو نوع سوئیچ MOS در Verilog HDL با دو کلمه کلیدی nmos و pmos تعریف شده‌اند. این سوئیچ‌ها با سه پایانه ترانزیستور طبق شکل ۲۰-۱۰ ذکر می‌شوند.

```
nmos (drain, source, gate);
pmos (drain, source, gate);
```

سوئیچ‌ها به عنوان Primitive ملاحظه می‌شوند بنابراین استفاده از instance name اختیاری است.

به هنگام طراحی مدارهای MOS، اتصال به یک منبع تغذیه (V_{DD}) و به زمین باید مشخص گردد. منبع تغذیه و زمین با کلمات کلیدی **Supply1** و **Supply0** تعریف می‌شوند. این کلمات مطابق عبارات زیر مشخص می‌گردند.

```
supply1 PWR;
supply0 GRD;
```

منابع نوع **Supply1** معادل V_{DD} بوده و دارای مقدار 1 منطقی‌اند. منابع نوع **Supply0** معادل زمین بوده و دارای مقدار 0 منطقی‌اند.

وارونگر CMOS شکل ۲۲-۱۰ (الف) در مثال ۱-۱۰ HDL توصیف شده است. ورودی، خروجی و دو منبع تغذیه ابتدا اعلان شده‌اند. مدول یک ترانزیستور PMOS و NMOS را ذکر می‌نماید. خروجی Y برای هر دو ترانزیستور مشترک است که به درین آنها متصل می‌باشد. ورودی نیز برای هر دو ترانزیستور در پایانه‌های گیت مشترک است. پایانه سورس ترانزیستور PMOS به PWR و پایانه سورس ترانزیستور NMOS به GRD وصل است.

دومین مدول در مثال ۲-۱۰ مدار CMOS NAND شکل ۲۲-۱۰ (ب) را توصیف می‌نماید. در این شکل دو ترانزیستور PMOS وجود دارد که به طور موازی به هم وصل و به PWR متصل شده‌اند. دو ترانزیستور NMOS دیگر به طور سری به هم وصلند و پایانه W1 برای آنها مشترک است. درین NMOS اول به خروجی و سورس NMOS دوم به GRD متصل می‌باشد.

گیت انتقال

گیت انتقال در Verilog HDL با کلمه کلیدی **cmos** ذکر می‌شود. این گیت دارای یک خروجی،

مثال ۱-۱۰، HDL

```
----------------------------------------
//CMOS inverter Fig. 10-22 (a)
module inverter (Y,A);
   input A;
   output Y;
   supply1  PWR;
   supply0  GRD;
   pmos (Y,PWR,A);       //(Drain,source,gate)
   nmos (Y,GRD,A);       //(Drain,source,gate)
endmodule
----------------------------------------
```

مثال ۲-۱۰ HDL

```
//CMOS 2-input NAND Fig. 10-22(b)
module NAND2 (Y,A,B);
   input A,B;
   output Y;
   supply1  PWR;
   supply0  GRD;
   wire W1;                 //terminal between two nmos
   pmos (Y,PWR,A);          //source connected to Vdd
   pmos (Y,PWR,B);          // parallel connection
   nmos (Y,W1,A);           // serial connection
   nmos (W1,GRD,B);         // source connected to ground
endmodule
```

ورودی و دو سیگنال کنترل مطابق شکل ۲۴-۱۰ است. به آن سوئیچ **cmos** می‌گویند. کد مربوط به آن مطابق زیر است.

```
cmos(output,input,ncontrol,pcontrol); //general description
cmos(Y,X,N,P);  //transmission gate of Fig. 10-24(b)
```

ncontrol و pcontrol متمم یکدیگرند. سوئیچ **cmos** به منابع تغذیه نیازی ندارد چون V_{DD} و زمین به بدنه ترانزیستورهای MOS وصلند. گیت‌های انتقال در ساخت مولتی پلکسرها و فلیپ فلاپ‌ها با مدارهای CMOS مورد توجه‌اند.

مثال ۳-۱۰ HDL توصیف یک مدار با سوئیچ‌های **cmos** را نشان می‌دهد. مدار XOR شکل ۲۶-۱۰ دارای دو گیت انتقال و دو وارونگر است. دو وارونگر با مدول وارونگر CMOS ذکر شده‌اند. دو سوئیچ **cmos** بدون instance name ذکر شده‌اند زیرا به عنوان primitive در نظر گرفته شده‌اند. یک مدول تست برای تست عملکرد مدار لحاظ شده است. با اعمال همه ترکیبات ممکن دو ورودی، نتیجه حاصل از شبیه‌ساز عملکرد مدار XOR تصدیق می‌شود. خروجی شبیه‌سازی به قرار زیر است:

$$\begin{array}{lll} A=0 & B=0 & Y=0 \\ A=0 & B=1 & Y=1 \\ A=1 & B=0 & Y=1 \\ A=1 & B=1 & Y=0 \end{array}$$

```
//XOR with CMOS switchs Fig. 10-25
module SXOR (A,B,Y);
   input A,B;
   output Y;
   wire Anot, Bnot;
//instantiate inverter
   inverter v1 (Anot,A);
   inverter v2 (Bnot,B);
//instantiate cmos switch
   cmos (Y,B,Anot,A);      //(output,input,ncontrol,pcontrol)
   cmos (Y,Bnot,A,Anot);
endmodule


//CMOS inverter Fig. 10-22(a)
module inverter (Y,A);
   input A;
   output Y;
   supply1  PWR;
   supply0  GRD;
   pmos (Y,PWR,A);         //(Drain,source,gate)
   nmos (Y,GRD,A);         //(Drain,source,gate)
endmodule


//Stimulus to test SXOR
module test_SXOR;
   reg A,B;
   wire Y;
//Instantiate SXOR
   SXOR X1 (A,B,Y);
//Apply truth table
   initial
     begin
          A=1'b0; B=1'b0;
       #5 A=1'b0; B=1'b1;
       #5 A=1'b1; B=1'b0;
       #5 A=1'b1; B=1'b1;
     end
//display results
   initial
    $monitor ("A =%b  B= %b  Y =%b",A,B,Y);
endmodule
```

مسائل

۱۰-۱ در زیر مشخصات گیت‌های NAND دو ورودی چهارتایی TTL 74S00 شوتکی ارائه شده است. گنجایش خروجی، توان تلف شده، تأخیر انتشار و حد پارازیت گیت NAND شوتکی را محاسبه کنید.

پارامتر	نام	مقدار
V_{CC}	منبع تغذیه	5 V
I_{CCH}	جریان تغذیه سطح بالا (چهار گیت)	10 mA
I_{CCL}	جریان تغذیه سطح پایین (چهار گیت)	20 mA
V_{OH}	ولتاژ خروجی سطح بالا (حداقل)	2.7 V
V_{OL}	ولتاژ خروجی سطح پایین (حداکثر)	0.5 V
V_{IH}	ولتاژ ورودی سطح بالا (حداقل)	2 V
V_{IL}	ولتاژ ورودی سطح پایین (حداکثر)	0.8 V
I_{OH}	جریان خروجی سطح بالا (حداقل)	1 mA
I_{OL}	جریان خروجی سطح پایین (حداکثر)	20 mA
I_{IH}	جریان ورودی سطح بالا (حداقل)	0.05 mA
I_{IL}	جریان ورودی سطح پایین (حداکثر)	2 mA
t_{PLH}	تاخیر پایین به بالا	3 ns
t_{PHL}	تاخیر بالا به پایین	3 ns

۱۰-۲ (الف) ولتاژ سطح بالای گیت RTL را برای گنجایش خروجی 5 محاسبه نمایید.

(ب) حداقل ولتاژ لازم برای راندن ترانزیستور RTL به اشباع $h_{FE} = 20$ را معین نمایید.

(پ) با نتایج (الف) و (ب) حد پارازیت گیت RTL را وقتی ورودی بالا و گنجایش خروجی 5 است معین کنید.

۱۰-۳ نشان دهید که ترانزیستور خروجی گیت DTL شکل ۹-۱۰، وقتی همه ورودی‌ها در سطح بالا باشند، به اشباع می‌رود. $h_{FE} = 20$ می‌باشد.

۱۰-۴ خروجی Y گیت DTL که در شکل ۹-۱۰ ملاحظه می‌شود را به N ورودی گیت‌های مشابه دیگر وصل کنید. فرض شود که ترانزیستور خروجی اشباع شده و جریان بیس آن 0.44mA است. $h_{FE} = 20$ فرض می‌گردد.

(الف) جریان مقاومت 2KΩ را محاسبه کنید.

(ب) جریان وارده از هر ورودی متصل به گیت را محاسبه نمایید.

(پ) جریان کلکتور کل را در ترانزیستور خروجی به صورت تابعی از N حساب کنید.

(ت) مقداری از N را بدست آورید که ترانزیستور را در اشباع نگهدارد.

(ث) گنجایش خروجی گیت چند است؟

۱۰-۵ اجازه بدهید تا ورودی‌های گیت TTL کلکتور باز شکل ۱۱-۱۰ در سطح بالا، 3V باشند.

(الف) ولتاژهای بیس، کلکتور و امیتر همه ترانزیستورها را معین نمایید.

(ب) حداقل h_{FE} لازم برای اشباع شدن ترانزیستور را معین کنید.

(پ) جریان بیس $Q3$ را حساب کنید.

(ت) فرض شود که h_{FE} حداقل برای $Q3$ برابر 6.18 است. حداکثر جریان قابل تحمل به وسیله کلکتور برای اطمینان از اشباع $Q3$ چقدر است؟

(ث) حداقل مقدار R_L برای اشباع $Q3$ چقدر است؟

۱۰-۶ (الف) با به‌کارگیری ترانزیستورهای خروجی واقعی دو گیت TTL کلکتور باز، نشان دهید. (با جدول درستی) که وقتی به یک مقاومت بیرونی و V_{CC} وصل شده است، اتصال سیمی آن تولید تابع AND می‌کند.

(ب) ثابت کنید که دو وارونگر TTL کلکتور باز وقتی به هم وصل شوند تولید تابع NOR می‌نمایند.

۱۰-۷ در بخش ۵-۱۰ بیان شد که خروجی‌های تاتم- پل برای ساخت منطق سیمی نباید به هم گره بخورند. برای دیدن علت این منع، دو نمونه از آن را به هم وصل کرده و اجازه بدهید خروجی یکی در سطح بالا و خروجی گیت دیگر در حالت پایین باشد. نشان دهید که جریان (در این حالت مجموع جریان‌های کلکتور و بیس ترانزیستور اشباع $Q4$ در شکل ۴-۱۰) حدود 32mA است. این مقدار را با جریان بار پیشنهادی در سطح بالای 0.4mA مقایسه نمایید.

۱۰-۸ برای شرایط زیر، ترانزیستورهای خاموش و آنهایی که در حال هدایتند را برای گیت TTL سه حالته شکل ۱۶-۱۰ (پ) مشخص نمایید. (برای $Q1$ و $Q6$ لازم است حالات را در پیوندهای بیس- امیتر و بیس- کلکتور به طور جداگانه حساب کنید.).

(الف) وقتی C پایین و A نیز در سطح پایین است.

(ب) وقتی C پایین و A در سطح بالاست.

(پ) وقتی C در سطح بالاست.

در هر حالت خروجی در چه وضعیتی است.

۱۰-۹ جریان امیتر I_E را در دو سر R_E در گیت ECL شکل ۱۷-۱۰، در شرایط زیر بدست آورید.

(الف) حداقل یک ورودی در سطح بالا، $-0.8V$ ، است.

(ب) همه ورودی‌ها در $-1.8V$ هستند.

(پ) اکنون فرض کنید که $I_C = I_E$ است. افت ولتاژ دو سر مقاومت کلکتور در هر حالت را محاسبه کنید و نشان دهید که مقدار آن حدود 1V است.

۱۰-۱۰ حد پارازیت گیت ECL را محاسبه کنید.

۱۰-۱۱ با استفاده از خروجی‌های NOR دو گیت ECL ، نشان دهید که وقتی با هم به یک مقاومت بیرونی و ولتاژ تغذیه منفی وصل شوند، اتصال سیمی تولید تابع OR می‌نماید.

۱۰-۱۲ ترانزیستور MOS دو طرفه است، یعنی جریان می‌تواند از سورس به درین یا از درین به سورس جاری شود. با استفاده از این خصوصیت، مداری بدست آورید که تابع بولی زیر را پیاده‌سازی کند.

$$Y = (AB + CD + AED + CEB)'$$

از شش ترانزیستور MOS استفاده نمایید.

۱۰-۱۳ (الف) مدار گیت NAND چهار ورودی را با ترانزیستورهای CMOS نشان دهید.

(ب) کار خود را برای یک گیت NOR چهار ورودی تکرار نمایید.

۱۰-۱۴ یک مدار XNOR با دو وارونگر و دو گیت انتقال بسازید.

۱۰-۱۵ یک مولتی پلکسر 8 به 1 خط را با گیت‌های انتقال و وارونگر بسازید.

۱۰-۱۶ نمودار منطقی فلیپ فلاپ D حاکم- تابع را با استفاده از گیت‌های انتقال و وارونگر رسم نمایید.

۱۰-۱۷ یک برنامه تست که مدار NAND مثال ۱۰-۲ HDL را تست کند بنویسید. شبیه‌سازی باید صحت جدول درستی گیت را تحقیق نماید.

مراجع

1. TOCCI, R. J. and N. S. WIDMER. 2001. *Digital Systems Principles and Applications,* 8th ed. Upper Saddle River, NJ: Prentice Hall.

2. WESTE, N. E. and K. ESHRAGHIAN. 1993. *Principles of CMOS VLSI design: A System Perspective,* 2nd ed. Reading, MA: Addison-Wesley.

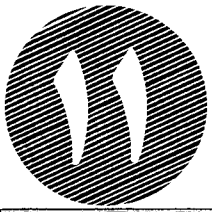
3. WAKERLY, J. F. 2000. *Digital Design: Principles and Practices*, 3rd ed. Upper Saddle River, NJ: Prentice Hall.

4. HODGES, D. A., and H. G. JACKSON. 1988. *Analysis and Design of Digital Integrated Circuits,* 2nd ed. New York: McGraw-Hill.

5. 1988. *The TTL Logic Data Book.* Dallas: Texas Instruments.

6. 1994. *CMOS Logic Data Book.* Dallas: Texas Intruments.

7. CILETTI, M. D. 1999. *Modeling, Synthesis, and Rapid Prototyping with Verilog HDL.* Upper Saddle River, NJ: Prentice Hall.



تمرینات آزمایشگاهی

۱۱-۰ مقدمه‌ای بر آزمایش‌ها

این فصل ۱۸ تمرین آزمایشگاهی را برای مدارهای دیجیتال و طراحی منطقی ارائه می‌دهد.این آزمایش‌ها همراه مطالب کتاب تجربه کافی را برای دانشجو فراهم می‌نمایند. مدارهای دیجیتال با استفاده از مدارهای مجتمع (IC) که به راحتی در آزمایشگاه قابل نصب روی بردبورد هستند ساخته می‌شوند. ترتیب ارائه آزمایش‌ها منطبق بر مطالب کتاب است. آخرین بخش چند قسمت تکمیلی همراه با پیشنهادات برای استفاده از Verilog HDL ، شبیه‌سازی و تست مدارهای دیجیتال را در بردارد.

بردبور منطقی مورد استفاده مناسب باید تجهیزات زیر را داشته باشد.

۱- لامپ‌های نشانگر LED

۲- سوئیچ‌های دگر وضع برای تهیه منطق 1 و 0

۳- پالس‌ساز همراه با کلید فشاری و مدار نوسان‌گیر برای تولید تک پالس‌ها

۴- مولد پالس ساعت با حداقل دو فرکانس- یک فرکانس پایین در حد یک پالس بر ثانیه برای مشاهده تغییرات در سیگنال‌های دیجیتال و فرکانس بالاتر برای مشاهده امواج در یک اسیلوسکوپ

۵- منبع تغذیه 5V

۶- سوکت ردیفی برای نصب آی‌سی‌ها

۷- سیم‌های محکم و یک جفت سیم‌چین برای بریدن سیم‌ها

وسایل آموزشی مدارهای دیجیتال که تجهیزات لازم را دارند از چندین سازنده قابل خریداری است. یک سیستم آموزشی دیجیتال حاوی لامپ‌های LED ، کلیدهای دگر وضع، پالس‌سازها، یک ساعت متغیر، منبع تغذیه و سوکت نواری آی‌سی است. بعضی از آزمایش‌ها ممکن است کلیدها، لامپ‌ها یا سوکت‌های اضافی لازم داشته باشند. همچنین ممکن است بردبوردها همراه با سوکت‌های بدون لحیم و

کلیدهای نصبی و لامپ‌های اضافی هم مورد نیاز باشند.

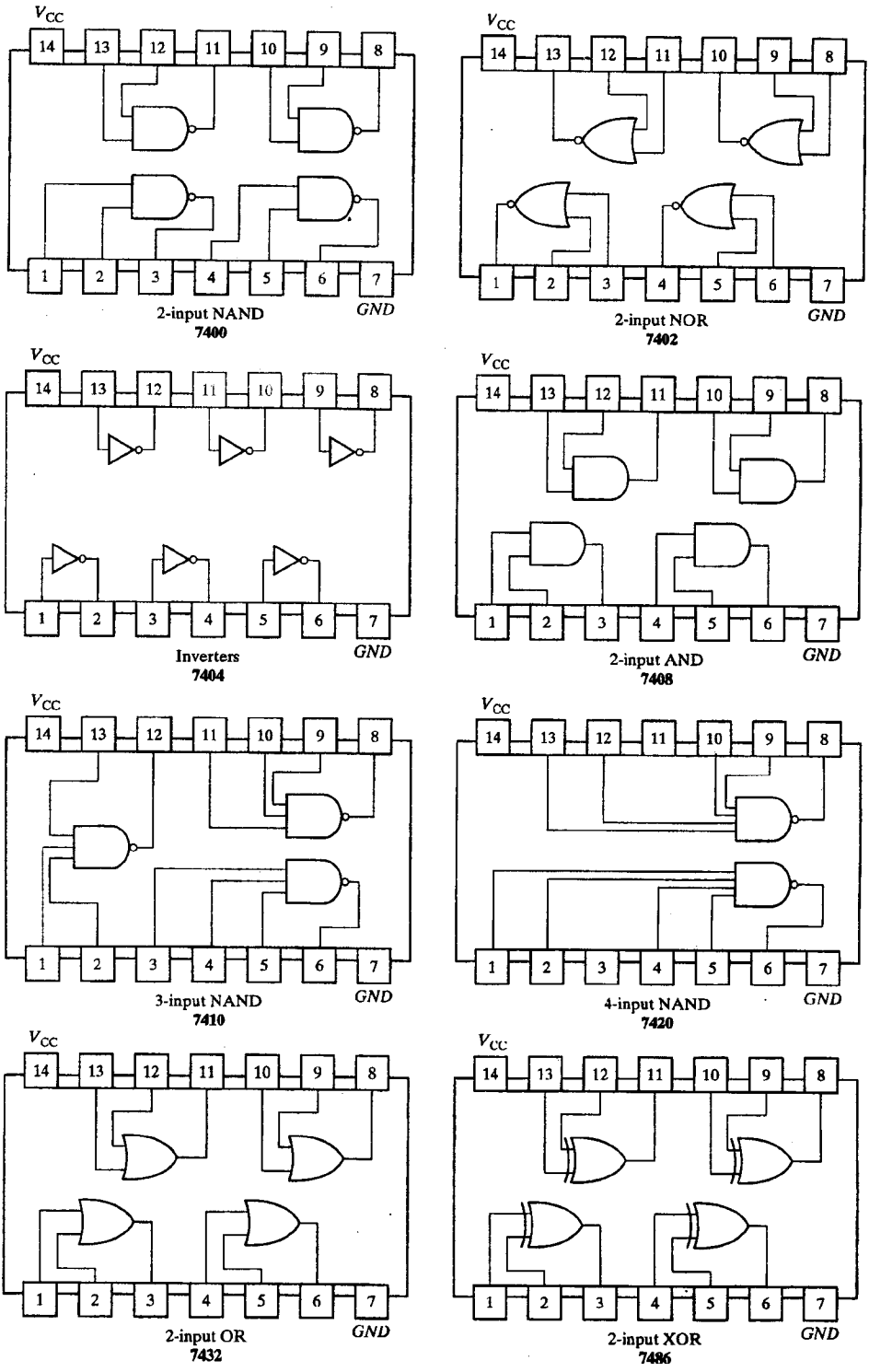
امکانات اضافی دیگر لازم عبارتند از اسیلوسکوپ دو کاناله (برای آزمایش‌های 1، 2، 8 و 15)، یک پروب منطقی برای عیب‌یابی و تعدادی IC. IC های لازم عبارتند از TTL سری 7400 یا CMOS.

مدارهای مجتمع مورد استفاده در آزمایش‌ها را به صورت مدارهای مجتمع با فشردگی کم (SSI) یا مدارهای مجتمع با فشردگی متوسط (MSI) می‌توان دسته‌بندی کرد. مدارهای SSI حاوی گیت‌های جدا از هم و مدارهای MSI توابع دیجیتال خاصی را تولید می‌نمایند. هشت آی‌سی گیت SSI به کار رفته در آزمایشها در شکل ۱-۱۱ ملاحظه می‌شود. آنها شامل گیت‌های NAND، NOR، AND، OR و XOR دو ورودی، NOT و گیت NAND چهار ورودی‌اند. نام‌گذاری پایه‌ها برای گیت‌ها در نمودار مشخص شده است. پایه‌ها از 1 تا 14 شماره‌گذاری شده‌اند. پایه 14 با V_{CC} و پایه 7 با GND (زمین) علامت‌گذاری شده است. این پایه‌ها مربوط به تغذیه‌اند که باید برای دستیابی به یک عملکرد صحیح به منبع تغذیه 5V وصل شوند. هر آی‌سی با شماره‌ای مشخص شناسایی می‌شود؛ مثلاً، گیت‌های NAND دو ورودی در آی‌سی شماره 7400 یافت می‌شوند.

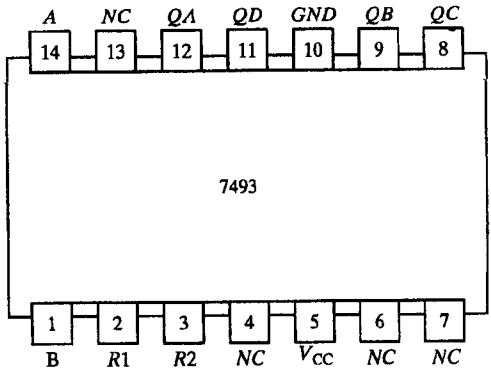
توضیحات بیشتر برای مدارهای MSI را می‌توان در کتب اطلاعات سازندگان یافت. بهترین راه کسب تجربه در مورد مدارهای MSI تجاری مطالعه توصیف آنها در این گونه منابع است که اطلاعات کاملی را در مورد مشخصه‌های درونی، بیرونی و الکتریکی آنها در اختیار می‌گذارند. سازندگان مختلف، کتابچه‌های اطلاعات متعدد را برای سری 7400 چاپ کرده‌اند. مدارهای MSI مورد نیاز آزمایشات به هنگام کاربردشان توصیف خواهند شد. عملکرد مدار با مراجعه به مدارات مشابه در فصول قبل توضیح داده می‌شود. اطلاعات داده شده درباره مدارهای MSI در این فصل برای اجرای صحیح آزمایشات کفایت می‌کنند. با این وجود مراجعه به برگه‌های اطلاعاتی همواره مفید خواهد بود، زیرا توصیف بیشتری برای مدارها در اختیار می‌گذارند.

اکنون به نمایش ارائه مدارهای MSI می‌پردازیم. این کار برای شمارنده موج گونه 7493 با مثال خاصی صورت گرفته است. این IC در آزمایش 1 و آزمایش‌های بعدی برای تولید رشته اعداد دودویی هنگام تحقیق صحت عملکرد مدارهای ترکیبی مورد استفاده می‌گیرد.

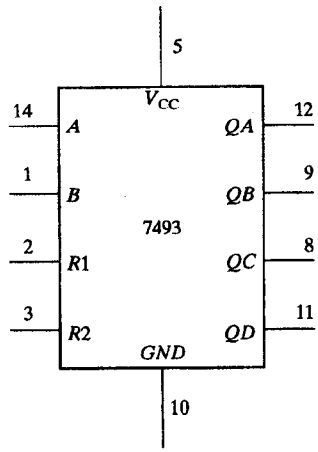
اطلاعات حاصل از برگه‌ها و کتب اطلاعات برای 7493 در شکل ۲-۱۱ (الف) و (ب) نشان داده شده است. بخش (الف) نمودار مدار منطقی داخلی و اتصالات آن به پایه‌های خارجی را نشان می‌دهد. به همه ورودی‌ها حرف سمبلیکی نسبت داده شده و نیز به پایه‌ها شماره تخصیص یافته است. بخش (ب) نمای فیزیکی IC همراه با نام سیگنال‌های مربوط به 14 پایه شمارنده را نشان می‌دهد. پایه‌هایی که به کار نرفته‌اند با NC علامت‌گذاری شده‌اند. آی‌سی بر روی سوکتی سوار شده و سیم‌ها از طریق پایه‌های سوکت به پایه‌های آن مرتبط شده‌اند. به هنگام رسم نمودار در این فصل، IC را به فرم نمودار بلوکی شکل ۲-۱۱ (پ) نشان خواهیم داد. شماره IC یعنی 7493 در داخل بلوک نوشته شده است. تمام پایه‌های ورودی در سمت چپ و پایه‌های خروجی در سمت راست بلوک نوشته شده‌اند. سمبل‌های حرفی سیگنال مانند A، $R1$ و QA هم در داخل بلوک مشخص شده‌اند، و پایه‌های مربوطه مانند 14، 2، 12 در امتداد



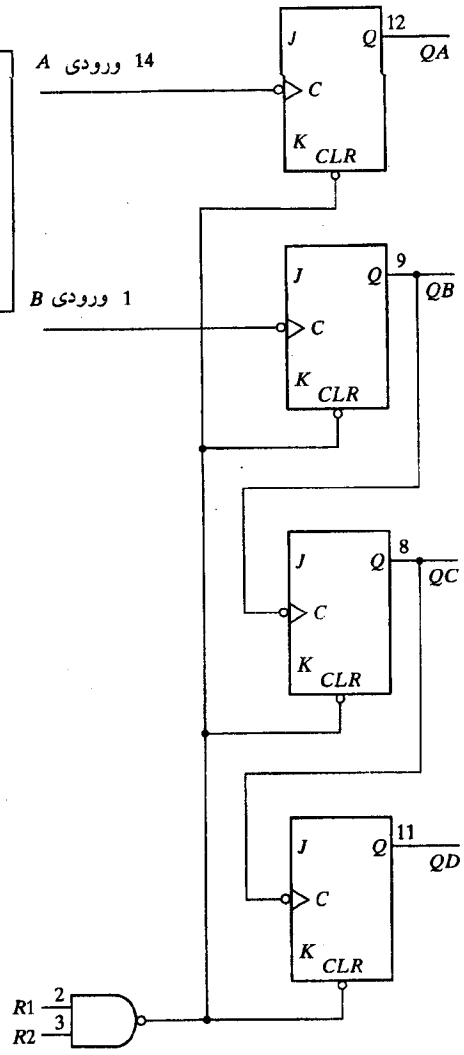
شکل ۱-۱۱ . گیت‌های دیجیتال در بسته‌های IC با شماره مشخصه و شماره پایه‌ها



(ب) نمای فیزیکی (NC : یعنی قطع)



(پ) نمودار بلوکی



(الف) نمودار داخلی مدار

شکل ۲-۱۱ . آی سی شمارنده موج‌گونه 7493

خطوط بیرونی نوشته شده‌اند. V_{CC} و GND پایانه‌های تغذیه بوده و به پایه‌های 5 و 10 وصل می‌گردند. برای جای دادن تمام پایانه‌های ورودی و خروجی ممکن است سایز بلوک تغییر نماید. ورودی‌ها یا خروجی هم گاهی جهت سهولت در بالا و یا در پایین بلوک قرار داده می‌شوند.

طرز کار مدار مشابه شمارنده موج‌گونه شکل ۸-۶ (الف) همراه با پاک کننده غیرهمزمان CLR برای هر فلیپ فلاپ است. وقتی ورودی‌های $R1$ یا $R2$ یا هر دو در منطق 0 هستند، همه پاک کننده‌های غیرهمزمان در منطق 1 بوده و غیرفعال می‌باشند. برای پاک کردن هر چهار فلیپ فلاپ، باید خروجی

گیت NAND برابر 0 باشد. این کار با قرار دادن $R1$ و $R2$ در 1 منطقی انجام می‌گردد (حدود 5 ولت). توجه کنید که ورودی‌های J و K به جایی متصل نیستند. این از ویژگی‌های مدار TTL است که یک ورودی بدون اتصال با بیرون، دارای اثر یک سیگنال معادل منطقی 1 است. همچنین توجه کنید که خروجی QA از داخل به ورودی B متصل نیست.

آی‌سی 7493 می‌تواند با استفاده از ورودی B و فلیپ فلاپ‌های QB، QC و QD کار کند. و نیز با به کارگیری ورودی A، اگر خروجی QA به ورودی B وصل شده باشد، این مدار به عنوان یک شمارنده 4 بیت کار خواهد کرد. بنابراین، برای راه‌اندازی به صورت یک شمارنده چهار بیتی، لازم است یک اتصال بیرونی بین پایه 12 و 1 ایجاد شود. ورودی‌های بازنشانی، $R1$ و $R2$، باید در نقاط 2 و 3 به زمین وصل شوند. پایه‌های 5 و 10 باید به تغذیه 5V متصل گردند. پالس‌های ورودی باید به ورودی A در پایه 14 اعمال گردند، و بالاخره چهار خروجی فلیپ فلاپ QA، QB، QC و QD باید به ترتیب از پایه‌های 12، 9، 8 و 11 اخذ شوند، که QA کم‌ارزش‌ترین بیت می‌باشد.

شکل ۲-۱۱ (پ) روش نمایش گرافیکی همه مدارهای MSI را در این IC نشان می‌دهد. برای هر IC فقط یک نمودار بلوکی مشابه با این شکل به کار خواهد رفت. سمبل‌های حرفی برای ورودی‌ها و خروجی‌ها در نمودار بلوکی مطابق سمبل‌های به کار رفته در کتب اطلاعات آن است. با ارجاع به نمودارهای منطقی فصول قبل، عملکرد مدار تشریح خواهد شد. این عملکرد با جدول درستی یا یک جدول تابع مشخص خواهد شد.

دیگر سمبل‌های گرافیکی ممکن برای آی‌سی‌ها در فصل ۱۲ ارائه شده است. این سمبل‌های گرافیکی استاندارد به وسیله انستیتو مهندسان برق و الکترونیک IEEE 91-1984 مورد تصویب قرار گرفته است. سمبل‌های گرافیکی گیت‌های SSI شکل مستطیلی دارند، شکل ۱-۱۲. سمبل گرافیکی استاندارد آی‌سی 7493 را در شکل ۱۳-۱۲ ملاحظه خواهید کرد. این سمبل می‌تواند جایگزین سمبل به کار رفته در شکل ۲-۱۱ (پ) گردد. سمبل گرافیکی سایر آی‌سی‌های به کار رفته در آزمایشات در فصل ۱۲ ارائه شده‌اند. این سمبل‌ها در صورت لزوم برای ترسیم نمودارهای شماتیک مدارهای منطقی، به کار خواهند رفت.

جدول ۱-۱۱ آی‌سی‌های مورد لزوم برای آزمایشات را به همراه شماره شکل‌های مربوطه لیست کرده است. به علاوه، جدول، شماره شکل‌های فصل ۱۲ را نیز لیست نموده است که در آنها سمبل‌های استاندارد معادل نشان داده شده‌اند.

بقیه فصل شامل ۱۹ قسمت است. هجده بخش اول، هجده آزمایش سخت‌افزاری را نشان می‌دهد که به مدارهای مجتمع دیجیتال نیاز دارند. بخش ۱۹-۱۱ آزمایش‌های شبیه‌سازی HDL را شامل می‌شود که به یک شبیه‌ساز و کامپایلر Verilog HDL نیاز دارند.

۱-۱۱ اعداد دودویی و دهدهی

این آزمایش شمارش یک رشته اعداد دودویی و نمایش اعداد BCD را نشان می‌دهد. آزمایش مذکور به منظور آشنایی با بردبورد به کار رفته در آزمایشگاه و نیز آشنایی دانشجویان با اسیلوسکوپ

جدول ۱-۱۱ . مدارات مجتمع مورد نیاز برای آزمایشات

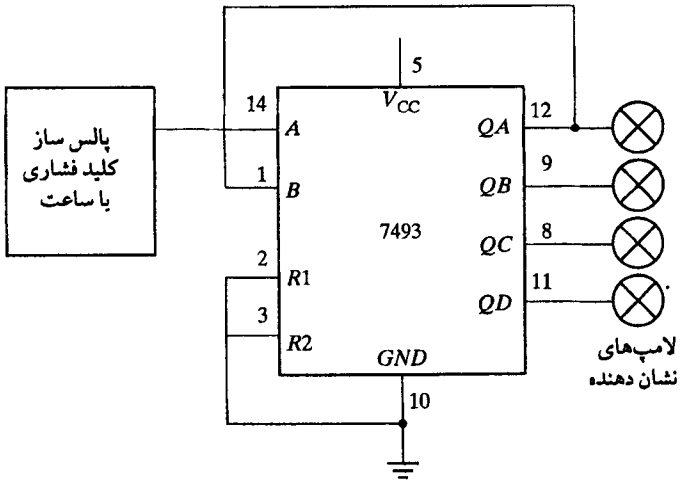
شمارهٔ آی‌سی	توضیح	سمبل‌های گرافیکی در فصل ۱۱	سمبل‌های گرافیکی در فصل ۱۲
	انواع گیت	شکل ۱-۱۱	شکل ۱-۱۲
7447	دیکدر BCD به هفت قسمتی	شکل ۸-۱۱	
7474	دو فلیپ فلاپ نوع D	شکل ۱۳-۱۱	شکل ۹-۱۲ (ب)
7476	دو فلیپ فلاپ JK	شکل ۱۲-۱۱	شکل ۹-۱۲ (الف)
7483	جمع کننده دودویی چهار بیت	شکل ۱۰-۱۱	شکل ۲-۱۲
7493	شمارنده موج گونه چهار بیت	شکل ۲-۱۱	شکل ۱۳-۱۲
74151	مولتی پلکسر 8x1	شکل ۹-۱۱	شکل ۷-۱۲ (الف)
74155	دیکدر 3x8	شکل ۷-۱۱	شکل ۶-۱۲
74157	چهار مولتی پلکسر 2x1	شکل ۱۷-۱۱	شکل ۷-۱۲ (ب)
74161	شمارنده چهار بیت سنکرون	شکل ۱۵-۱۱	شکل ۱۴-۱۲
74189	حافظه RAM، 16x4	شکل ۱۸-۱۱	شکل ۱۵-۱۲
74194	شیفت رجیستر چهار بیت	شکل ۱۹-۱۱	شکل ۱۲-۱۲
74195	شیفت رجیستر دو جهته چهار بیت	شکل ۱۶-۱۱	شکل ۱۱-۱۲
7730	نمایش هفت قسمتی LED	شکل ۸-۱۱	
72555	تایمر دقیق	شکل ۲۱-۱۱	

اشعه کاتودیک است. مطالب مرجع مورد نیاز در حین کار را می‌توانید از بخش ۲-۱ برای اعداد دودویی و بخش ۷-۱ برای اعداد BCD بدست آورید.

شمارش دودویی

آی‌سی 7493 مطابق شکل ۲-۱۱ از چهار فلیپ فلاپ تشکیل شده است. سلول‌ها می‌توانند برای شمارش دودویی یا BCD به هم متصل شوند. با سیم‌بندی بیرونی، مطابق شکل ۳-۱۱، آن را به عنوان شمارنده دودویی آماده نمایید. این کار با اتصال از پایه 12 (خروجی QA) به پایه 1 (ورودی B) انجام می‌شود. ورودی A در پایه 14 به پالس‌سازی وصل می‌شود تا تک پالس‌هایی تولید نماید. دو ورودی بازنشانی، $R1$ و $R2$، به زمین متصل می‌گردند. چهار خروجی به چهار لامپ مرتبط شده‌اند و در آن بیت کم‌ارزش‌تر از QA به سمت راست‌ترین لامپ متصل شده است. از اتصال تغذیه 5V و زمین به IC فراموش ننمایید. حین اجرای اتصالات، منبع تغذیه باید خاموش باشد.

اکنون منبع تغذیه را روشن کنید و چهار لامپ را ملاحظه نمایید. با هر پالس تولیدی به وسیله دکمه فشاری روی پالس‌ساز، عدد 4 بیتی خروجی یک واحد افزایش می‌یابد. شمارش به 15 رفته و سپس به 0 باز می‌گردد. ورودی شمارنده در پایه 14 را از پالس‌ساز جدا کنید و به یک مولد پالس ساعت ببندید تا



شکل ۳-۱۱ . شمارنده دودویی

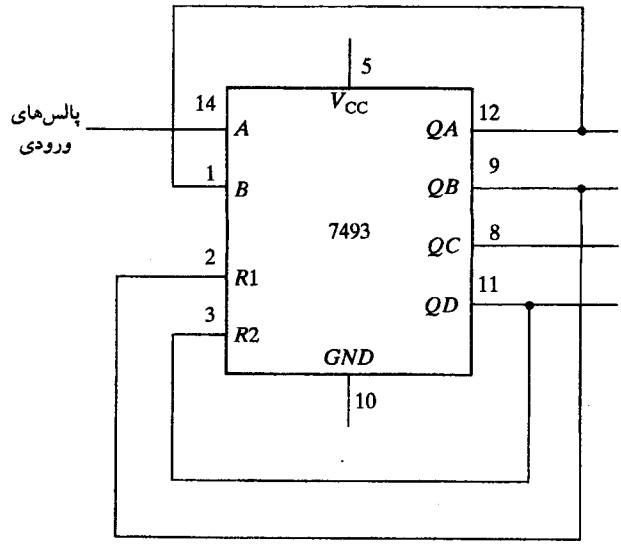
رشته‌ای از پالس‌ها با فرکانسی حدود یک هرتز به شمارنده منتقل گردد. این کار موجب شمارش خودکار خواهد شد. به یاد داشته باشید که شمارنده دودویی در آزمایشات بعدی برای تهیه سیگنال‌های دودویی ورودی در تست مدارهای ترکیبی به کار خواهد رفت.

نمایش اسیلوسکوپ

فرکانس ساعت را به 10KHz یا بالاتر افزایش دهید و خروجی آن را به یک اسیلوسکوپ دو کاناله متصل نمایید. خروجی ساعت را روی اسیلوسکوپ مشاهده کرده و آن را رسم کنید. خروجی QA را به یک کانال و خروجی مولد پالس ساعت را به کانال دوم وصل نمایید. هر بار که پالس ساعت از 1 به 0 برود QA متمم می‌گردد. همچنین توجه کنید که فرکانس ساعت در خروجی اولین فلیپ فلاپ نصف فرکانس ساعت در ورودی است. هر فلیپ فلاپ به نوبه خود، فرکانس دریافتی خود را نصف می‌نماید. بنابراین شمارنده چهار بیت، فرکانس دریافتی را در خروجی QD بر 16 تقسیم خواهد کرد. یک نمودار زمانبندی برای نمایش ارتباط پالس ساعت و چهار خروجی شمارنده تهیه کنید. دقت نمایید در نمودار حداقل 16 پالس ساعت رسم شود. روال پیشروی آزمایش با اسیلوسکوپ بدین شرح است. ابتدا پالس‌های ساعت QA را مشاهده و شکل موج آنها را ثبت نمایید. سپس QA و QB ملاحظه و ثبت شود و به دنبال آن، اعمال را برای QB با QC و QC با QD تکرار گردد. نتیجه نهایی، رابطه زمانی ساعت و چهار خروجی، در یک نمودار مرکب با حداقل 16 پالس ساعت خواهد بود.

شمارش BCD

نمایش BCD از اعداد دودویی 0000 تا 1001 برای نمایش ارقام دهدهی استفاده می‌کند. آی‌سی



شکل ۴-۱۱. شمارنده BCD

7493 با توجه به اتصالات شکل ۴-۱۱ قادر است به عنوان یک شمارنده BCD عمل کند. خروجی‌های QB و QD به دو ورودی بازنشانی $R1$ و $R2$ وصلند. وقتی هر دو ورودی $R1$ و $R2$ برابر 1 باشند، هر چهار سلول شمارنده، جدا از پالس‌های ورودی، به 0 پاک می‌شوند. شمارنده از 0 شروع به کار کرده و با هر پالس ورودی، 1 واحد افزایش می‌یابد تا به 1001 برسد. پالس بعدی خروجی را بـه 1010 تـغییر می‌دهد، و در آن QB و QD برابر 1 هستند. این خروجی لحظه نمی‌تواند دوامی داشته باشد، زیرا هر چهار سلول بلافاصله پاک شده و در نتیجه خروجی‌ها 0000 خواهند شد. بنابراین پس از عـدد 1001 خروجی به 0000 رفته و به این ترتیب یک شمارش BCD تولید شده است.

IC را برای یک شمارش BCD سیم‌بندی نمایید. ورودی‌ها را به یک مولد پالس و خروجی‌ها را به لامپ‌ها وصل کنید. ببینید آیا شمارش از 0000 تا 1001 انجام می‌شود؟

ورودی را از پالس‌ساز جدا کرده و آن را به مولد ساعت ببندید. پالس ساعت و چهار خـروجی را روی اسیلوسکوپ ملاحظه نمایید. یک نمودار زمانبندی دقیقی که نشان دهنده ارتباط زمانی بین پالس ساعت و چهار خروجی باشد بدست آورید. مطمئن شوید که حداقل ده پالس ساعت به صورت نمودار مرکب روی صفحه اسیلوسکوپ وجود داشته باشد.

الگوی خروجی

وقتی که شمارش پالس‌ها در یک شمارنده BCD ادامه یابد، شمارنده رشته 0000 تا 1001 را شمرده و به 0000 باز می‌گردد. این بدان معنی است که هر بیت در چهار خروجی الگوی ثابتی از 1ها و 0ها را تولید می‌نماید و پس از هر ده پالس عمل تکرار می‌گردد. الگوی شمارش از روی جدول اعداد 0000 تا

1001 قابل پیش‌بینی است. لیست نشان می‌دهد که خروجی QA، که کم‌ارزش‌ترین بیت است، الگوی یک در میانی از 0 تا 1 تولید می‌نماید. خروجی QD که باارزش‌ترین بیت می‌باشد هشت 0 و دو 1 تولید می‌کند. برای دو خروجی دیگر الگوی موجود را بدست آورده و سپس هر چهار الگو را روی اسیلوسکوپ چک نمایید. این عمل با یک اسیلوسکوپ دو کانال و اتصال پالس ساعت به یکی، و یکی از خروجی‌ها به کانال دوم میسر است. الگوی 1 ها و 0 ها برای هر خروجی با مشاهده سطوح خروجی و تغییرات آن در امتداد محور عمودی و در جایی که پالس ساعت از 1 به 0 تغییر سطح می‌دهد، بدست می‌آید.

سایر شمارش‌ها

آی‌سی 7493 می‌تواند برای شمارش از 0 تا هر عدد نهایی موردنظر سیم‌بندی شود. این کار با وصل یک یا دو خروجی به ورودی‌های بازنشانی، یعنی $R1$ و $R2$ صورت می‌گیرد. بنابراین اگر $R1$ به جای QB در شکل ۴-۱۱، به QA وصل شود، شمارش حاصل از 0000 تا 1000 خواهد بود، که یکی کمتر از 1001 ($QD = 1$ و $QA = 1$) است.

با استفاده از اطلاعات خود در مورد چگونگی تأثیر $R1$ و $R2$ روی شمارش نهایی، آی‌سی 7493 را برای شمارش از 0000 تا شماره‌های نهایی زیر سیم‌بندی نمایید.

(الف) 0101

(ب) 0111

(پ) 1011

هر مدار را بسته و رشته شمارش آن را با اعمال پالس‌هایی از پالس‌ساز روی لامپ‌ها تحقیق کنید. اگر شمارش اولیه از عدد نهایی بزرگتر باشد، اعمال پالس ورودی را تا پاک شدن خروجی‌ها به 0 ادامه دهید.

۲-۱۱ گیت‌های منطقی دیجیتال

در این آزمایش رفتار منطقی انواع گیت‌های آی‌سی را تحقیق خواهید کرد که عبارتند از:

7400 - چهار گیت NAND دو ورودی

7402 - چهار گیت NOR دو ورودی

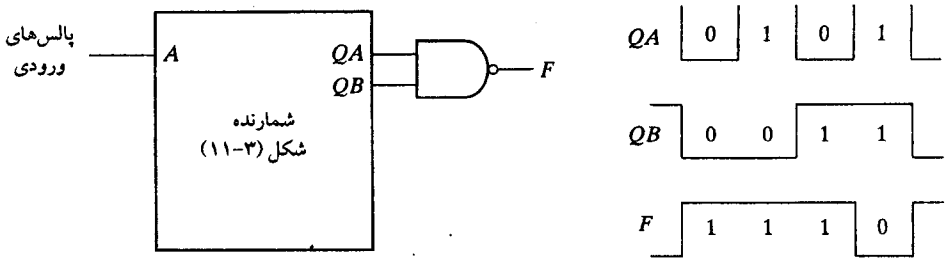
7404 - شش گیت NOT

7408 - چهار گیت AND دو ورودی

7432 - چهار گیت OR دو ورودی

7486 - چهار گیت XOR دو ورودی

تخصیص پایه‌ها به انواع گیت‌ها در شکل ۱-۱۱ دیده می‌شود. در برگه اطلاعات آی‌سی برای اعلان چهارتایی بودن گیت از کلمه "Quadruple" استفاده می‌گردد. گیت‌های منطقی دیجیتال و مشخصه‌های آنها در بخش ۸-۲ بحث شده‌اند. پیاده‌سازی با NAND در بخش ۶-۳ بحث شد.



شکل ۵-۱۱ . شکل موج‌های گیت NAND

جداول درستی

از هر آی‌سی لیست شده فوق یک گیت انتخاب کنید و جدول درستی آن را بدست آورید. جدول درستی با اتصال ورودی‌های گیت به کلیدها و خروجی به یک لامپ بدست می‌آید. نتایج حاصل را با جدول درستی شکل ۵-۲ مقایسه نمایید.

شکل موج‌ها

برای هر گیت لیست شده فوق، رابطه شکل موج ورودی- خروجی را بدست آورید. شکل موج‌ها را روی اسیلوسکوپ مشاهده کنید. از دو خروجی پایین رتبه شمارنده دودویی (شکل ۳-۱۱) برای تهیه ورودی به گیت استفاده نمایید. به عنوان مثال، مدار و امواج گیت NAND در شکل ۵-۱۱ تشریح شده است. اسیلوسکوپ این شکل موج را تکرار خواهد کرد، ولی شما باید بخش غیرتکراری آن را ثبت نمایید.

تأخیر انتشار

هر شش وارونگر داخل آی‌سی 7404 را به طور متوالی به هم ببندید. خروجی با ورودی یکسان خواهد بود و تنها اختلاف تأخیری است که سیگنال برای انتشار در شش وارونگر نیاز دارد. پالس‌های ساعت را به ورودی اولین وارونگر اعمال نمایید. با به کارگیری اسیلوسکوپ، زمان تأخیر ورودی اولین و خروجی ششمین وارونگر به هنگام پایین آمدن یا بالا رفتن را معین کنید. این عمل با یک اسیلوسکوپ دو کانال و اتصال پالس ساعت به یکی از کانال‌ها و خروجی ششمین وارونگر به کانال دیگر، صورت می‌گیرد. پیچ مربوط به مبنای زمان (time base) اسیلوسکوپ را روی پایین‌ترین بخش قرار دهید. زمان صعود و نزول پالس باید روی صفحه اسیلوسکوپ ظاهر گردد. برای بدست آوردن متوسط تأخیر انتشار در هر گیت، تأخیر کل را بر شش تقسیم نمایید.

گیت NAND یونیورسال

با استفاده از یک آی‌سی 7400 ، مداری با مشخصات زیر بسازید.

(الف) یک وارونگر، NOT
(ب) یک AND دو ورودی
(پ) یک OR دو ورودی
(ت) یک NOR دو ورودی
(ث) یک XOR دو ورودی (شکل ۳۲-۳)

در هر حال، صحت عملکرد مدار خود را با مقایسه با جدول درستی تحقیق می‌نماید.

مدار NAND

با به کارگیری یک آی‌سی 7400، با گیت‌های NAND تابع بولی زیر را پیاده‌سازی کنید.

$$F = AB + CD$$

۱- نمودار مدار را رسم نمایید.
۲- جدول درستی تابع F را به صورت تابعی از چهار ورودی بدست آورید.
۳- مدار را وصل و صحت جدول درستی را تحقیق کنید.
۴- الگوهای 0 و 1 را برای F ضمن تغییر ورودی‌های A، B، C و D از 0 تا 15 دودویی ثبت نمایید.
۵- هر چهار خروجی شمارنده دودویی شکل ۳-۱۱ را به چهار ورودی مدار NAND وصل کنید. پالس‌های ساعت ورودی را به یک کانال، خروجی F را به کانال دیگر اسیلوسکوپ دو کاناله وصل نمایید. الگوهای 1 و 0 را برای F پس از هر پالس ساعت ثبت کرده و با الگوهای ثبت شده مرحله ۴ مقایسه نمایید.

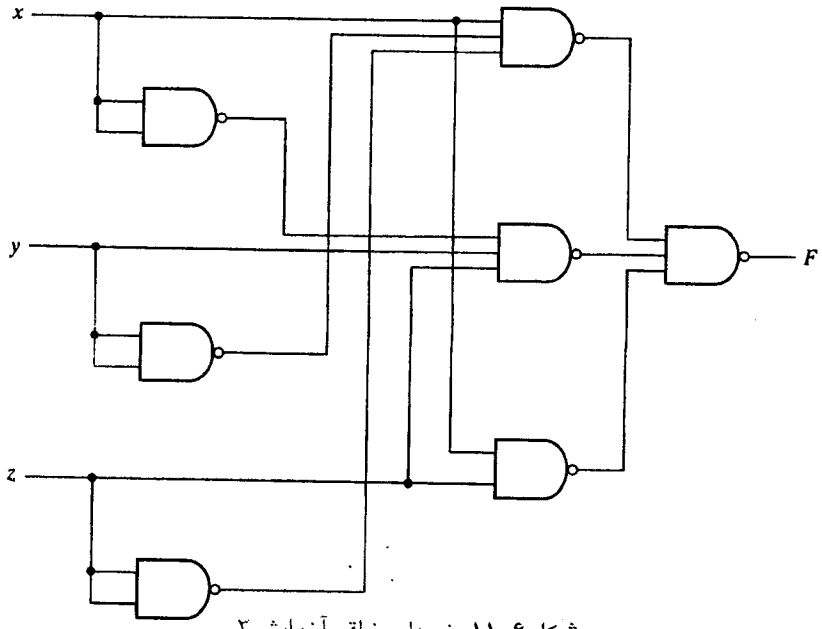
۳-۱۱ ساده‌سازی توابع بول

این آزمایش رابطه بین یک تابع بول و نمودار منطقی مربوطه‌اش را نشان می‌دهد. توابع بولی طبق بحث فصل ۳ با روش نقشه ساده می‌شوند. نمودارهای منطقی طبق بحث بخش ۶-۳ با گیت‌های NAND رسم خواهند شد.

آی‌سی‌های مورد استفاده برای نمودار منطقی باید از نوع گیت‌های NAND شکل ۱-۱۱ باشند:

گیت NAND دو ورودی 7400
گیت NOT (NAND یک ورودی) 7404
گیت NAND سه ورودی 7410
گیت NAND چهار ورودی 7420

اگر یکی از ورودی‌های گیت NAND مورد استفاده قرارنگیرد نباید آن را آزاد رها کرد بلکه باید به ورودی دیگری که استفاده شده وصل گردد. مثلاً اگر مدار وارونگری لازم دارد و دو گیت اضافی در آی‌سی 7400 موجود است، آنگاه هر دو ورودی گیت باید به هم وصل شوند تا برای وارونگر یک ورودی فراهم شود.



شکل ۶-۱۱ . نمودار منطقی آزمایش ۳

نمودار منطقی

این بخش از آزمایش با نمودار منطقی مفروضی، آغاز می‌شود و ما از آن برای کاهش تعداد گیت و احتمالاً تعداد آی‌سی استفاده خواهیم کرد. نمودار منطقی شکل ۶-۱۱ به دو آی‌سی 7400 و 7410 نیاز دارد. توجه کنید که برای داشتن وارونگرها، ورودی‌های x و y و z از سه گیت باقیمانده را استفاده نمایید. اگر وارونگرها از 7404 استفاده شوند مدار نیاز به سه آی‌سی خواهد داشت. همچنین توجه نمایید که در ترسیم مدار SSI، مشابه با آنچه در MSI دیدیم، گیت‌ها به صورت بلوک کشیده نمی‌شوند.

به تمام ورودی‌ها و خروجی‌های گیت‌ها، شماره پایه تخصیص داده و ورودی‌های x، y و z را به سه کلید و خروجی F را به یک لامپ وصل نمایید. با جدول درستی حاصل، مدار را تست کنید.

تابع بول مدار را بدست آورده و آن را با استفاده از روش نقشه ساده کنید. مدار ساده شده را بدون اتصال به مدار اصلی بسازید. هر دو مدار را با اعمال ورودی یکسان و خروجی‌های جداگانه تست نمایید. برای هر هشت ترکیب ورودی‌ها، نشان دهید که دو مدار خروجی‌های یکسانی دارند. این مطلب ثابت خواهد کرد که مدار ساده شده با مدار اصلی یکسان است.

توابع بول

با فرض داشتن توابع بول زیر، آنها را با روش نقشه ساده کنید.

$$F_1(A, B, C, D) = (0, 1, 4, 5, 8, 9, 10, 12, 13)$$

$$F_2(A, B, C, D) = (3, 5, 7, 8, 10, 11, 13, 15)$$

با توجه به چهار ورودی A، B، C و D و دو خروجی F_1 و F_2 یک نمودار منطقی مشترک بدست آورید. دو تابع را با حداقل تعداد آی‌سی‌های NAND پیاده‌سازی نمایید.

اگر جمله‌ای در هر دو تابع مشترک است، آن را دوباره تکرار نکنید. در صورت امکان از آی‌سی‌های موجود به جای وارونگر استفاده نمایید. مدار را وصل و طرز کار آن را تست کنید. جدول درستی F_1 و F_2 باید با مینترم‌های ذکر شده در تابع مطابقت داشته باشد.

متمم

تابع زیر را روی نقشه کارنو پیاده کنید.

$$F = A'D + BD + B'C + AB'D$$

1های نقشه را برای بدست آوردن فرم جمع حاصلضرب‌های تابع ساده شده با هم ترکیب کنید. سپس 0ها را با هم ترکیب کنید تا F' برحسب جمع حاصلضرب‌ها بدست آید. هر دو تابع F و F' را با NAND پیاده‌سازی کرده و دو مدار را به کلیدهای یکسان ولی لامپ‌های جدا وصل نمایید. جدول درستی هر مدار را در آزمایشگاه بدست آورده و نشان دهید که متمم یکدیگرند.

۴-۱۱ مدارهای ترکیبی

در این آزمایش، شما چهار مدار ترکیبی را طراحی و خواهید ساخت. دو مدار اول با گیت‌های NAND، سومی با XOR و چهارمی با دیکدر و گیت‌های NAND ساخته خواهند شد. مطالبی راجع به مولد توازن را می‌توانید در بخش ۸-۳ بیابید. پیاده‌سازی با دیکدر در بخش ۸-۴ ملاحظه شد.

مثال طراحی

مداری ترکیبی با چهار ورودی A، B، C و D و یک خروجی F طراحی نمایید. وقتی $A = 1$ باشد F برابر 1 است به شرطی که $B = 0$ باشد، یا وقتی $B = 1$ است و C یا D برابر 1 باشند. در غیر این صورت خروجی 0 است.

۱- جدول درستی مدار را بدست آورید.
۲- تابع خروجی را ساده کنید.
۳- نمودار منطقی مدار را با گیت‌های NAND و حداقل تعداد IC رسم نمایید.
۴- مدار را بسازید و آن را با توجه به شرایط فوق تست کنید.

منطق اکثریت

منطق اکثریت مداری است که اگر اکثریت ورودی‌ها 1 باشند، خروجی آن 1 است. در غیر این صورت خروجی 0 خواهد بود. با گیت‌های NAND یک مدار اکثریت سه ورودی بسازید و حداقل IC را بکار ببرید.

مولد توازن

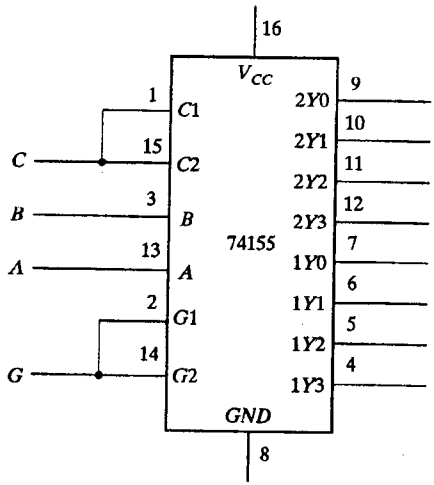
یک مدار مولد بیت توازن را با چهار بیت پیام طراحی کرده، ساخته و تست نمایید. با افزودن یک گیت XOR اضافی، مدار را طوری تکمیل نمایید که بتواند بیت توازن فرد را تولید کند.

پیاده‌سازی با دیکدر

یک مدار ترکیبی سه ورودی x، y و z و سه خروجی F_1، F_2 و F_3 دارد. تابع بولی ساده شده مدار به قرار زیر است.

$$F_1 = xz + x'y'z'$$
$$F_2 = x'y + xy'z'$$
$$F_3 = xy + x'y'z$$

مدار ترکیبی را با یک آی‌سی دیکدر 74155 و گیت‌های NAND بیرونی پیاده‌سازی نمایید.
نمودار بلوکی دیکدر و جدول درستی آن در شکل ۷-۱۱ ملاحظه می‌شود. 74155 می‌تواند به



جدول درستی

ورودی‌ها				خروجی‌ها							
G	C	B	A	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
1	X	X	X	1	1	1	1	1	1	1	1
0	0	0	0	0	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	0

شکل ۷-۱۱ . آی سی 74155 که بصورت دیکدر 3×8 بسته شده است.

عنوان یک جفت دیکدر 4 × 2 یا یک دیکدر 8 × 3 در مدار قرار گیرد. زمانی که دیکدر 8 × 3 نیاز باشد، ورودی‌های C_1 و C_2 و ورودی‌های G_1 و G_2، طبق شکل نمودار منطقی، باید به هم وصل شوند. عملکرد مدار مشابه شکل ۱۸-۴ خواهد بود. G یک ورودی فعال‌ساز است و هنگام عمل صحیح باید به 0 وصل شود. هشت خروجی با سمبل‌های موجود در کتب اطلاعاتی علامت‌گذاری شده‌اند. 74155 از گیت‌های NAND استفاده می‌کند، بنابراین خروجی‌های انتخابی به 0 رفته و بقیه در 1 خواهند ماند. پیاده‌سازی با دیکدر در شکل ۲۱-۴ دیده می‌شود، با این تفاوت که وقتی 74155 به کار رود گیت‌های OR با NAND جایگزین می‌شوند.

۱۱-۵ مبدل‌های کد

تبدیل از یک کد دودویی به نوع دیگر در سیستم‌های دیجیتال بسیار رایج است. در این آزمایش شما سه مدار ترکیبی مبدل را طراحی خواهید کرد. تبدیل کد در بخش ۳-۴ مورد بحث قرار گرفت.

کدگری به دودویی

مداری ترکیبی با چهار ورودی و چهار خروجی بسازید تا یک کد چهار بیت گری (جدول ۶-۱) را به معادل دودویی چهار بیت تبدیل کند. مدار را با گیت‌های OR پیاده‌سازی نمایید (این کار را با آی‌سی 7486 انجام دهید). مدار را به چهار کلید و چهار چراغ وصل کرده صحت عملکرد را تحقیق نمایید.

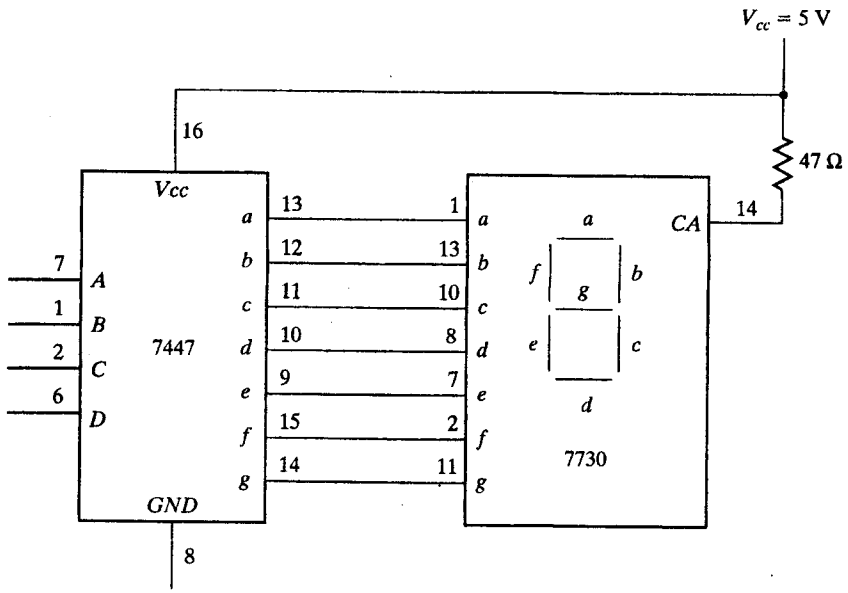
متمم 9

یک مدار ترکیبی با چهار خط ورودی و چهار خط خروجی طراحی کنید که در آن ورودی‌ها ارقام دهدهی را به BCD و خروجی‌ها متمم 9 ورودی را تولید نمایند. پنجمین خروجی، وجود خطا را در BCD ورودی نشان می‌دهد. این خروجی هنگامی 1 است که چهار ورودی یک ترکیب غیرمجاز از کد BCD را دارا باشند. هر یک از گیت‌های لیست ۱-۱۱ را به کار ببرید ولی تعداد آی‌سی‌ها حداقل باشد.

نمایشگر هفت قسمتی

یک نمایشگر هفت قسمتی یا هفت قطعه‌ای برای نمایش هر یک از ارقام دهدهی 0 تا 9 به کار می‌رود. معمولاً ارقام دیجیتال دهدهی به صورت BCD در دسترس است. یک دیکدر BCD به هفت قسمتی عدد دیجیتال را به BCD دریافت و کد هفت قسمتی مربوط به آن را تولید می‌نماید. این مطلب در مسئله ۹-۴ نشان داده شد.

شکل ۸-۱۱ اتصالات لازم بین دیکدر و نمایشگر را نشان می‌دهد. آی‌سی 7447 یک دیکدر/ درایور BCD به هفت قسمتی است. این آی‌سی دارای چهار ورودی برای یک رقم BCD است. ورودی D باارزش‌ترین و A کم‌ارزش‌ترین است. رقم چهار بیتی BCD به کد هفت قسمتی با خروجی‌های a تا g



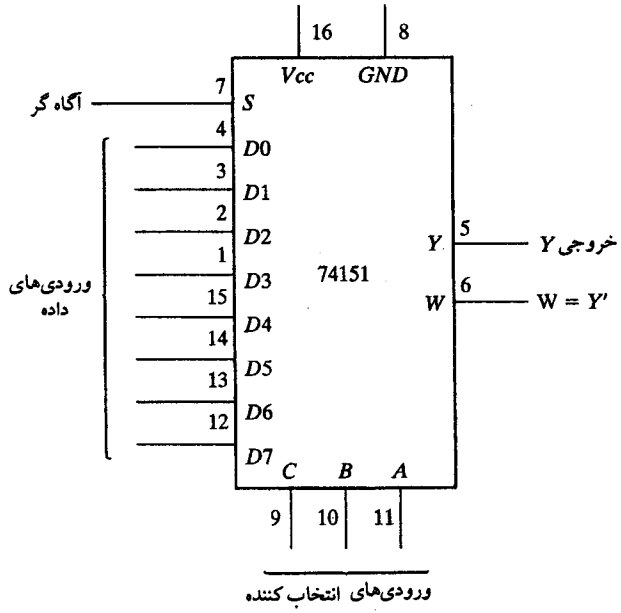
شکل ۸-۱۱ . دیکدر BCD به هفت قسمتی (7447) و نمایشگر هفت قسمتی (7730)

تبدیل می‌شود. خروجی‌های 7447 به ورودی‌های نمایشگر هفت قسمتی 7730 یا معادل آن اعمال می‌گردند. این آی‌سی دارای هفت قطعه LED در قسمت بالایی بسته می‌باشد. ورودی در پایه 14 آنود مشترک (CA) برای همه LED‌هاست. برای ایجاد جریان مناسب به قطعه انتخاب شده در LED یک مقاومت 47Ω به V_{CC} متصل است. سایر نمایشگرهای LED معادل ممکن است دارای پایانه‌های آنود اضافی بوده و به مقاومت‌های متفاوتی نیاز داشته باشند.

مدار شکل (۸-۱۱) را برپا کنید. چهار بیت BCD را از طریق چهار کلید به مدار اعمال نموده و نتیجه را برای ارقام 0 تا 9 روی نمایشگر ملاحظه نمایید. ورودی‌های 1010 تا 1111 در BCD دارای مفهوم نیستند. بسته به نوع دیکدر این مقادیر ممکن است به صورت الگوهای نامفهوم یا تاریک نشان داده شوند. برای شش حالت غیرمجاز الگوهای مزبور را ملاحظه و ثبت کنید.

۱۱-۶ طراحی با مولتی پلکسر

در این آزمایش شما یک مدار ترکیبی را طراحی نموده و آن را طبق آنچه در بخش ۱۰-۴ ملاحظه شد، با مولتی پلکسر پیاده‌سازی خواهید کرد. مولتی‌پلکسر مورد نظر، آی‌سی 74151 است که در شکل۹-۱۱ ملاحظه می‌شود. ساختار داخلی 74151 شبیه نمودار شکل ۲۵-۴ است، با این تفاوت که در عوض چهار ورودی، هشت ورودی وجود دارد. هشت ورودی با D_0 تا D_7 نام‌گذاری شده‌اند. سه خط انتخاب C ، B و A، ورودی خاصی را که قرار است مولتی پلکس شوند و به خروجی اعمال گردند، انتخاب می‌نمایند. یک



جدول تابع

آگاه گر	انتخاب			خروجی
S	C	B	A	Y
1	X	X	X	0
0	0	0	0	$D0$
0	0	0	1	$D1$
0	0	1	0	$D2$
0	0	1	1	$D3$
0	1	0	0	$D4$
0	1	0	1	$D5$
0	1	1	0	$D6$
0	1	1	1	$D7$

شکل ۹-۱۱ . آی سی مولتی پلکسر 1×8، نوع 74151

کنترل آگاه‌گر S نقش سیگنال فعال‌ساز را به عهده دارد. جدول تابع مقدار خروجی Y را براساس خطوط انتخاب مشخص می‌کند. خروجی W متمم Y است. به منظور صحت عمل، ورودی آگاه‌گر S باید به زمین متصل گردد.

مشخصات طراحی

یک شرکت کوچک دارای 10 سهم و هر سهم دارای یک رأی در جلسه سهامداران است. 10 سهم موجود بین چهار سهامدار به صورت زیر تقسیم شده است.

آقای W : یک سهم
آقای X : دو سهم
آقای Y : سه سهم
آقای Z : چهار سهم

هر یک از این افراد دارای کلیدی است که به هنگام رأی مثبت آن را می‌بندد و در رأی منفی آن را باز می‌کند.

لازم است مداری طراحی شود که تعداد کل سهام رأی مثبت را در هر رأی‌گیری نشان دهد. از یک نمایشگر هفت قسمتی و یک دیکدر، مثل شکل ۸-۱۱، برای نمایش عدد موردنظر استفاده نمایید. اگر در یک نوبت رأی‌گیری همه آرا منفی بود، نمایشگر باید تاریک باشد. (توجه کنید که عدد دودویی 15 به 7447 همه قطعات را تاریک می‌کند. اگر هر 10 سهام‌دار رأی مثبت دهند، نماشگر باید 0 را نشان دهد. در غیر این حالات، نمایشگر عددی دهدهی معادل با تعداد سهامی که رأی مثبت داده‌اند را نشان می‌دهد. از چهار مولتی پلکسر برای طراحی مدار ترکیبی استفاده نمایید، تا ورودی را از سوئیچ‌های سهامداران به ارقام BCD برای 7447 تبدیل کند. از 5V برای منطق 1 استفاده نکنید. خروجی یک وارونگری که ورودی‌اش به زمین وصل است را به کار بگیرید.

۱۱-۷ جمع و تفریق‌گر

در این آزمایش، شما انواع مدارهای جمع و تفریق‌گر را ساخته و تست خواهید کرد. سپس مدار تفریق‌گر برای مقایسه اندازه نسبی دو عدد به کار خواهد رفت. جمع‌کننده‌ها در بخش ۳-۴ مورد بحث قرار گرفتند. تفریق‌گر با متمم 2 در بخش ۶-۱ ملاحظه شد. یک جمع- تفریق‌گر در شکل ۱۳-۴ نشان داده شده، و مقایسه دو عدد هم در بخش ۷-۴ توضیح داده شد.

نیم جمع‌کننده

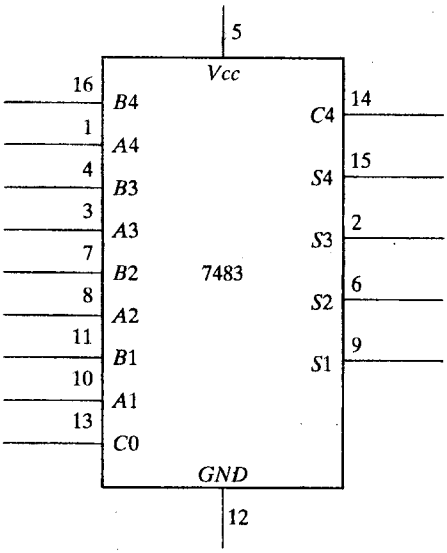
یک مدار نیم جمع کننده را با استفاده از یک گیت XOR و دو گیت NAND ، طراحی، ساخته و تست نمایید.

جمع کننده کامل

یک مدار جمع کننده کامل را با استفاده از دو آی‌سی 7486 و 7400 ، طراحی ، ساخته و تست نمایید.

جمع‌کننده موازی

آی‌سی 7483 یک جمع‌کننده موازی 4 بیت است. تخصیص پایه در شکل ۱۰-۱۱ نشان داده شده است. دو عدد دودویی 4 بیت $A1$ تا $A4$ و $B1$ تا $B4$ هستند. جمع چهار بیت از $S1$ تا $S4$ حاصل می‌شود. $C0$ نقلی ورودی و $C4$ نقلی خروجی است.



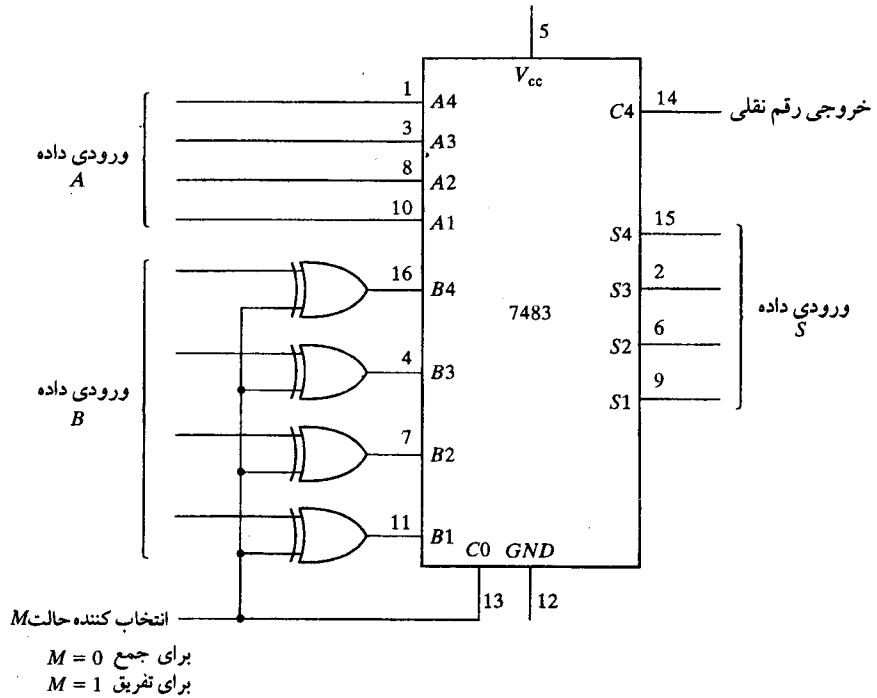
شکل ۱۰-۱۱ . آی سی جمع کننده دودویی چهار بیت 7483

با اتصال پایانه‌های منبع تغذیه و زمین، جمع‌کننده دودویی 4 بیت 7483 را تست نمایید. سپس چهار ورودی A را به عدد ثابت دودویی 1001 و ورودی‌های B و ورودی نقلی را به پنج کلید دگر وضع‌وصل کنید. پنج خروجی به پنج لامپ متصل‌اند. جمع چند عدد دیگر را هم اجرا نموده و ببینید آیا جمع خروجی و نقلی خروجی مقادیر صحیحی را ارائه می‌دهند یا خیر. نشان دهید که وقتی رقم نقلی ورودی 1 است، به خروجی یک واحد اضافه می‌گردد.

جمع- تفریق‌گر

تفریق دو عدد دودویی می‌تواند با استفاده از متمم 2 مفروق و جمع آن با مفروق منه بدست آید. متمم 2 را می‌توان با جمع متمم 1 با عدد 1 بدست آورد. برای اجرای $A-B$، ما چهار بیت از B را متمم نموده و آن را به چهار بیت A اضافه می‌کنیم، آنگاه یک واحد نیز از طریق رقم نقلی به مجموع آن دو می‌افزاییم. این کار در شکل ۱۱-۱۱ نشان داده شده است. چهار گیت XOR بیت‌های B را وقتی حالت $M = 1$ برقرار است متمم می‌نمایند. (زیرا $x \oplus 1 = x'$) و اگر $M = 0$ باشد بیت‌های B دست نخورده باقی می‌ماند (زیرا $x \oplus 0 = x$). بنابراین وقتی $M = 1$ است، ورودی نقلی $C0$ هم 1 بوده و خروجی حاصل جمع برابر است با A بعلاوه متمم 2 عدد B. وقتی $M = 0$ باشد، نقلی ورودی هم 0 و حاصل جمع تولید شده $A + B$ خواهد بود.

مدار جمع- تفریق‌گر را ببندید و آن را آزمایش کنید. چهار ورودی A را به عدد ثابت دودویی 1001 و B را به چهار سوئیچ وصل نمایید. اعمال زیر را اجرا و مقادیر خروجی جمع و نقلی خروجی $C4$ را ثبت کنید.



شکل ۱۱-۱۱. جمع کننده - تفریق‌گر چهار بیت

9 + 5	9 − 5
9 + 9	9 − 9
9 + 15	9 − 15

نشان دهید که ضمن عمل جمع، اگر حاصل جمع از 15 بیشتر شود، نقلی خروجی 1 خواهد شد. و نیز نشان دهید که وقتی $A \geq B$ باشد، عمل تفریق جواب صحیح $A - B$ را تولید می‌کند و رقم نقلی $C4 = 1$ است. ولی وقتی $A < B$ باشد، تفریق متمم 2 را برای $A - B$ را تولید کرده و نقلی خروجی هم 0 است.

مقایسه گر مقدار

مقایسه دو عدد عملی است که بزرگتر بودن، کوچکی و یا مساوی بودن یک عدد را نسبت به دیگری مشخص می‌کند. مقایسه دو عدد A و B ابتدا با تفریق $A - B$، طبق شکل ۱۱-۱۱ صورت می‌گیرد. اگر خروجی S برابر صفر باشد، می‌فهمیم که $A = B$ است. نقلی خروجی بیانگر نسبت مقادیر است: وقتی $C4 = 1$ باشد، داریم $A \geq B$. اگر $C4 = 0$ باشد $A < B$ است و اگر $C4 = 1$ و $S \neq 0$ باشد $A > B$ خواهد بود.

برای انجام مقایسه منطقی لازم است تا مدار شکل ۱۱-۱۱ اصلاح گردد. این عمل با مداری ترکیبی

که پنج ورودی $S1$ تا $S4$ و $C5$ و سه خروجی x و y و z را دارد صورت می‌گیرد به طوری که

اگر $A = B$ باشد	$x = 1$ است	$(S = 0000)$
اگر $A < B$ باشد	$y = 1$ است	$(C4 = 0)$
اگر $A > B$ باشد	$z = 1$ است	$(C4 = 1$ و $S \neq 0000)$

مدار ترکیبی می‌تواند با دو آی‌سی 7404 و 7408 پیاده‌سازی شود.

مدار مقایسه‌گر را بسازید و عمل آن را تست نمایید. حداقل دو مجموعه اعداد را برای A و B به کار برده و هر خروجی x و y و z را چک کنید.

۸-۱۱ فلیپ فلاپ‌ها

در این آزمایش، شما انواع لچ‌ها و فلیپ فلاپ‌ها را ساخته و طرز کار آنها را تست و بررسی خواهید کرد. ساختمان داخلی انواع لچ‌ها و فلیپ فلاپ‌ها در بخش‌های ۲-۵ و ۳-۵ ارائه شد.

لچ SR

با دو گیت NAND متقاطع یک لچ SR بسازید. دو ورودی را به سوئیچ‌ها و دو خروجی را به لامپ‌ها وصل نمایید. دو سوئیچ را در منطق 1 قرار دهید و سپس هر کدام را جداگانه 0 نمایید و بعد به 1 بازگردانید. جدول تابع مدار را بدست آورید.

لچ D

یک لچ D با گیت‌های NAND (فقط یک آی‌سی 7400) بسازید و صحت جدول تابع را تحقیق نمایید.

فلیپ فلاپ حاکم-تابع

با استفاده از دو لچ D و یک وارونگر یک فلیپ فلاپ D حاکم- تابع بسازید. ورودی D را به کلید و ورودی ساعت را به پالس ساز وصل کنید. خروجی لچ حاکم را به یک لامپ و خروجی لچ تابع را به لامپ دیگر وصل نمایید. مقدار ورودی را برابر با متمم خروجی انتخاب کنید. دکمه فشاری را روی پالس ساز بفشارید و سپس آن را رها نمایید تا یک پالس تولید شود. مشاهده خواهید کرد که تغییر حاکم در هنگام مثبت شدن پالس و تغییر تابع موقع منفی شدن آن رخ می‌دهد. کار را چند بار تکرار نمایید و ضمن انجام کار لامپ‌ها را مشاهده کنید. رشته انتقال را از ورودی به حاکم و از حاکم به تابع منفی توضیح دهید.

ورودی ساعت را از پالس ساز جدا نمایید و آن را به یک مولد ساعت وصل کنید. متمم خروجی را به ورودی D باز گردانید. این کار موجب می‌شود تا خروجی فلیپ فلاپ با هر پالس ساعت متمم شود. با استفاده از یک اسیلوسکوپ دو کاناله، امواج ساعت و خروجی‌های حاکم- تابع را مشاهده نمایید. تحقیق کنید که تأخیر بین خروجی‌های حاکم و تابع برابر نیمه مثبت یک سیکل ساعت است. یک نمودار زمانبندی برای نمایش رابطه موج ساعت و خروجی‌های حاکم و تابع بدست آورید.

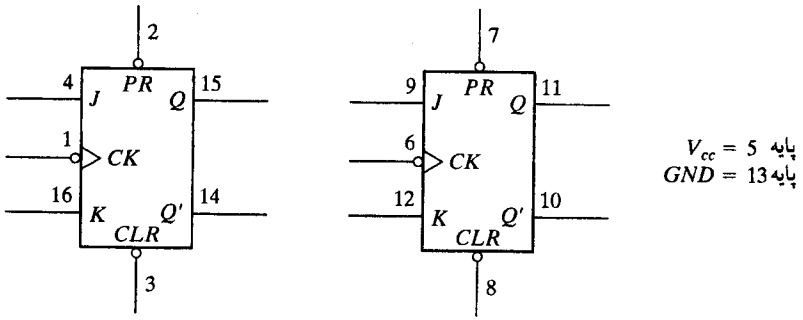
فلیپ فلاپ حساس به لبه

یک فلیپ فلاپ نوع D حساس به لبه مثبت با شش گیت NAND بسازید. ورودی ساعت را به پالس ساز و ورودی D را به کلید دگر وضع، و خروجی Q را به لامپ متصل نمایید. در ورودی D متمم Q را ایجاد کنید. نشان دهید که خروجی Q فقط در پاسخ به یک گذر مثبت پالس ساعت تغییر می‌نماید. تحقیق کنید که خروجی Q در ازاء 1 بودن پالس ساعت، گذر منفی، و یا 0 بودن آن تغییری نمی‌کند. در تمام مدت سعی شود ورودی D متمم Q باشد.

ورودی را از پالس ساز قطع نمایید و آن را به مولد ساعت وصل کنید. متمم خروجی، Q' را به ورودی D وصل نمایید. این سبب می‌شود تا خروجی با هر گذر مثبت پالس ساعت متمم گردد. با استفاده از اسیلوسکوپ دو کاناله رابطه زمانی بین ورودی ساعت و خروجی Q را مشاهده و ثبت نمایید. نشان دهید که خروجی در قبال یک گذر مثبت تغییر خواهد کرد.

فلیپ فلاپ‌های آی‌سی

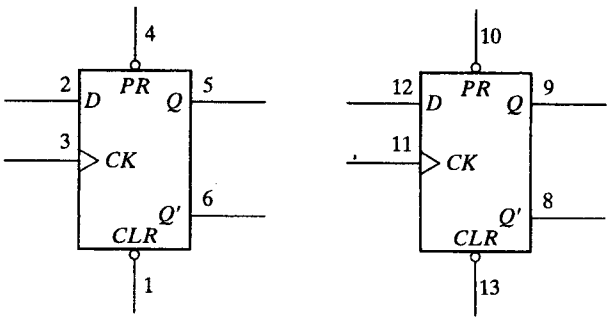
آی‌سی 7476 متشکل از فلیپ فلاپ‌های حاکم- تابع JK با امکان پیش تنظیم و پاک کردن است. تخصیص پایه برای هر فلیپ فلاپ در شکل ۱۲-۱۱ ملاحظه می‌شود. سه سطر اول جدول عملکرد ورودی‌های پیش تنظیم غیرهمزمان و پاک کردن را نشان می‌دهد. این ورودی‌ها همچون لچ SR نوع



جدول تابع

ورودی ها					خروجی‌ها	
PR	CLR	CK	J	K	Q	Q'
0	1	X	X	X	1	0
1	0	X	X	X	0	1
0	0	X	X	X	1	1
1	1	⊓	0	0	بلاتغییر	
1	1	⊓	0	1	0	1
1	1	⊓	1	0	1	0
1	1	⊓	1	1	متمم	

شکل ۱۲-۱۱. آی سی فلیپ فلاپ دوتایی تابع - متبوع JK نوع 7476



جدول تابع

ورودی‌ها				خروجی‌ها	
PR	*CLR*	*CK*	*D*	*Q*	*Q'*
0	1	*X*	*X*	1	0
1	0	*X*	*X*	0	1
0	0	*X*	*X*	1	1
1	1	↑	0	0	1
1	1	↑	1	1	0
1	1	0	*X*	بلاتغییر	

شکل ۱۳-۱۱ . آی سی فلیپ فلاپ D حساس به نوع لبهٔ مثبت

NAND عمل کرده و مستقل از ساعت یا ورودی‌های J و K است (Xها حالات بی‌اهمیت هستند). چهار وارده آخر در جدول تابع بیانگر اثر پالس ساعت بوده و در این حال هر دو ورودی پیش تنظیم و پاک کردن در منطق 1 هستند. مقدار پالس ساعت به صورت تک پالس نشان داده شده است. گذر مثبت پالس فلیپ فلاپ حاکم و گذر منفی آن فلیپ فلاپ تابع و نیز خروجی مدار را تغییر می‌دهد. با $J = K = 0$، خروجی عوض نمی‌شود. فلیپ فلاپ 7476 را بررسی کرده و جدول تابع را تحقیق کنید.

آی‌سی نوع 7474 از دو فلیپ فلاپ حساس به لبه مثبت همراه با ورودی پاک کردن و پیش تنظیم تشکیل شده است. تخصیص پایه‌ها در شکل ۱۳-۱۱ دیده می‌شود. جدول تابع اَعمال پاک کردن پیش تنظیم و ساعت را مشخص می‌کند. ساعت به همراه یک فلش رو به بالا به منظور مشخص کردن حساسیت فلیپ‌فلاپ به لبه مثبت است. طرز کار یکی از فلیپ فلاپ‌ها و جدول تابع آن را تحقیق کنید.

۹-۱۱ مدارهای ترتیبی

در این آزمایش، شما سه مدار ترتیبی همزمان را طراحی، ساخته و تست خواهید نمود. آی‌سی نوع 7476 (شکل ۱۲-۱۱) یا 7474 (شکل ۱۳-۱۱) را به کار ببرید. هر کدام که تعداد کل آی‌سی‌ها را حداقل کند، انتخاب نمایید. مطالب مربوط به مدارهای ترتیبی همزمان در بخش ۷-۵ ملاحظه شد.

بالا- پایین‌شمار با فعال‌ساز

یک شمارنده 2 بیت بالا یا پایین‌شمار را طراحی، ساخته و تست کنید. یک ورودی فعال‌ساز E مشخص کننده فعال شدن یا نشدن شمارنده می‌باشد. اگر $E = 0$ باشد، شمارنده غیرفعال شده و علیرغم اعمال پالس‌های ساعت به فلیپ فلاپ‌ها، در حال فعلی خود باقی خواهد ماند. اگر $E = 1$ باشد، شمارنده فعال شده و دومین ورودی، x، جهت شمارش را معین خواهد کرد. اگر $x = 1$ باشد مدار رو به بالا و با رشته 00، 01، 10 و 11 شمرده و شمارش تکرار خواهد شد. اگر $x = 0$ گردد، مدار رو به پایین شمرده و رشته شمارش 11، 10، 01 و 00 خواهد بود و سپس تکرار می‌شود. از E برای غیرفعال کردن ساعت استفاده نکنید، مدار ترتیبی را با E و x به عنوان ورودی‌ها بسازید.

نمودار حالت

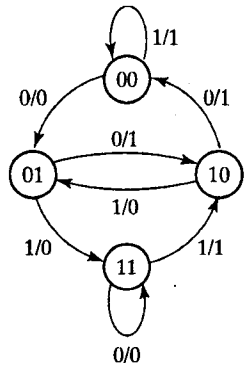
یک مدار ترتیبی که نمودار حالتش در شکل ۱۴-۱۱ دیده می‌شود را طراحی، ساخته و تست نمایید. دو فلیپ فلاپ را A و B و ورودی را x و خروجی را y بخوانید.

خروجی فلیپ فلاپ کم‌ارزش‌تر B را به ورودی x وصل کرده و رشته حالات و خروجی که بر اثر اعمال پالس ساعت رخ می‌دهند را تخمین بزنید. گذر حالت و خروجی را با تست مدار تحقیق نمایید.

طراحی شمارنده

شمارنده‌ای طراحی کنید که وارد رشته حالات دودویی زیر شود: 0، 1، 2، 3، 6، 7، 10، 11، 12، 13، 14 و 15 و دو مرتبه بازگشت به 0 و تکرار. توجه کنید که حالات دودویی 4، 5، 8 و 9 به کار نرفته است. شمارنده باید خود آغازگر باشد، یعنی اگر مدار از هر یک از چهار حالت نامعتبر شروع به کار کند، پالس‌های شمارش مدار را به یکی از حالات معتبر خواهد برد تا شمارش ادامه یابد.

عملکرد مدار را برای تست رشته شمارش موردنظر بررسی نمایید. آیا مدار خود آغاز است. این عمل با مقداردهی اولیه و بردن مدار به یکی از حالات به کار نرفته، با استفاده از پیش تنظیم و ورودی پاک و سپس اعمال پالس برای ردیابی رسیدن شمارنده تا رسیدن به یکی از حالات معتبر صورت می‌گیرد.



شکل ۱۴-۱۱. نمودار حالت آزمایش ۹

۱۰-۱۱ شمارنده‌ها

در این آزمایش، شما انواع مدارهای شمارنده همزمان و موج‌گونه را ساخته و تست خواهید کرد. شمارنده‌های موج‌گونه در بخش۳-۶ ملاحظه شدند و شمارنده‌های همزمان در بخش ۴-۶ مشاهده گردیدند.

شمارنده موج‌گونه

یک شمارنده موج‌گونه دودویی 4 بیت را با استفاده از 7476 بسازید (شکل ۱۲-۱۱). همه ورودی‌های غیرهمزمان پاک کردن و پیش تنظیم را به منطق 1 ببرید. ورودی شمارش پالس را به یک پالس ساز وصل کرده و عملکرد صحیح شمارنده را چک نمایید.

مدار را طوری اصلاح کنید که به عوض رو به بالا، رو به پایین بشمارد. نشان دهید که هر پالس ورودی شمارنده را یک واحد کم می‌کند.

شمارنده همزمان

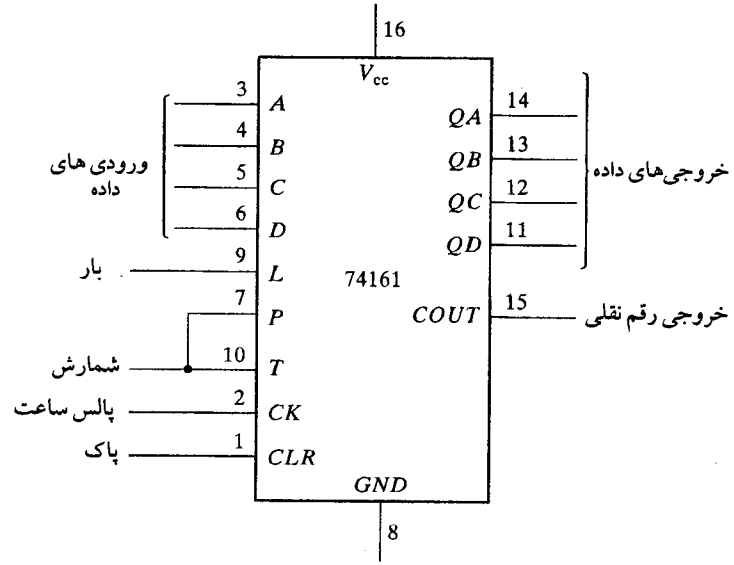
یک شمارنده دودویی 4 بیت همزمان ساخته و عملکرد آن را چک کنید. دو آی‌سی 7476 و یک آی‌سی 7408 به کار ببرید.

شمارنده دهدهی

یک شمارنده BCD همزمان که از 0000 تا 1001 بشمارد طراحی نمایید. از دو آی‌سی 7476 و یک آی‌سی 7408 استفاده کنید. از نظر شمارش صحیح شمارنده را تست کنید. آیا خود آغاز است. این عمل با شروع شمارش از هر یک از حالات به کار نرفته و با استفاده از امکان پیش تنظیم و پاک کردن صورت می‌گیرد. در صورت خود آغاز بودن، اعمال پالس‌ها به شمارنده باید آن را به یک حالت معتبر ببرد.

شمارنده دودویی با بار شدن موازی

آی‌سی 74161 شمارنده چهار بیت همزمان با بار شدن و پاک شدن غیرهمزمان است. مدار داخلی آن مشابه شکل ۱۴-۶ می‌باشد. تخصیص پایه به ورودی‌ها و خروجی‌ها در شکل ۱۵-۱۱ ملاحظه می‌گردد. وقتی که بار شدن فعال شود چهار داده ورود داده به داخل فلیپ فلاپ‌های درونی Q_A تا Q_D می‌روند که در آن Q_D باارزش‌ترین بیت است. در این آی‌سی دو ورودی فعال‌ساز شمارش P و T وجود دارد. برای انجام شمارش هر دو ورودی باید برابر 1 باشند. جدول تابع با یک استثناء مشابه جدول ۶-۶ است: ورودی بارکردن در 74161 با 0 فعال می‌شود. برای بارکردن داده باید ورودی پاک کردن در 1 و ورودی بار باید در 0 باشد. دو ورودی شمارش حالت بی‌اهمیت را داشته و می‌توانند 1 و یا 0 باشند. فلیپ فلاپ‌های داخلی باگذر مثبت پالس ساعت عمل می‌کنند. مدار به شرطی به صورت یک شمارنده



جدول تابع

تابع	شمارش	بار	ساعت	پاک کننده
پاک کردن خروجی به 0	X	X	X	0
بار کردن داده ورودی	X	0	↑	1
شمارش تا عدد دودویی بعدی	1	1	↑	1
عدم تغییر در خروجی	0	1	↑	1

شکل ۱۵-۱۱ . آی سی شمارنده دودویی 74161 با بار شدن موازی

کار می‌کند که ورودی بار و هر دو ورودی شمارش P و T در 1 باشند. اگر هر یک از P یا T برابر 0 شوند، خروجی تغییری نخواهد کرد. آزمایشی را در تأیید جدول تابع برای آی‌سی 74161 انجام دهید.

نشان دهید که چگونه می‌توان 74161 همراه با دو گیت NAND دو ورودی به عنوان یک شمارنده BCD همزمان ساخت تا از 0000 تا 1001 بشمارد. ورودی پاک کردن را به کار نبرید. با استفاده از یک گیت NAND حالت 1001 را چک کنید و سپس تمام شمارنده را با 0 پر کنید.

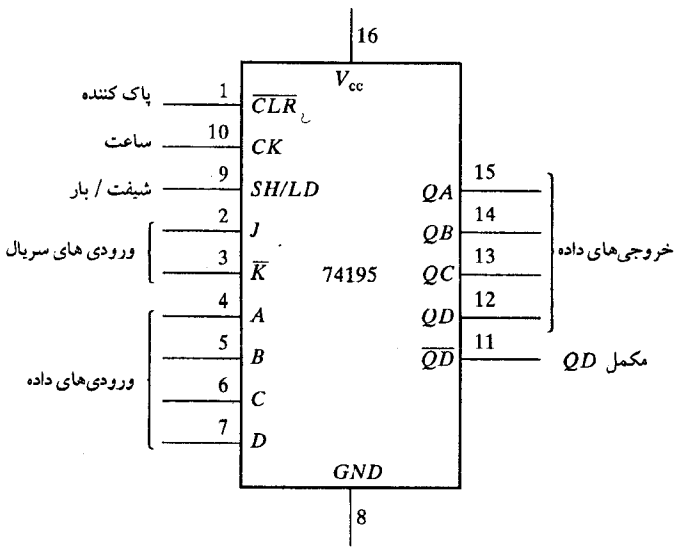
۱۱-۱۱ شیفت رجیستر

در این آزمایش، عملکرد یک شیفت رجیستر (ثبات جابجایی) را تحقیق خواهید کرد. آی‌سی مورد استفاده، شیفت رجیستر 74195 با امکان بار شدن موازی است. شیفت رجیستر در بخش ۲-۶ مورد بحث قرار گرفت.

آی‌سی شیفت رجیستر

آی‌سی 74165 یک شیفت رجیستر 4 بیت با بار شدن موازی و پاک شدن غیرهمزمان است. تخصیص پایه‌ها به ورودی‌ها و خروجی‌ها در شکل ۱۶-۱۱ نشان داده شده است. تک خط کنترل که با SH/LD (بار/ جابجایی) علامت خورده است عملکرد همزمان آن را معین می‌نماید. وقتی $SH/LD=0$ است، ورودی کنترل در حالت بارکردن بوده و داده ورودی چهار بیتی وارد چهار فلیپ فلاپ QA تا QD می‌شوند. اگر $SH/LD = 1$ گردد ورودی کنترل در حالت شیفت است و اطلاعات در ثبات به راست و از QA به سمت QD جابجا می‌شود. ورودی سریال به QA در حین جابجایی از ورودی‌های J و $\overline{K}$ معین می‌گردد. این دو ورودی مانند J و متمم K در فلیپ فلاپ JK عمل می‌کنند. وقتی هر دو J و $\overline{K}$ برابر 0 باشند، فلیپ فلاپ QA پس از جابجایی به 0 پاک می‌شوند. اگر هر دو ورودی برابر 1 باشند، QA پس از جابجایی برابر 1 می‌گردد. دو حالت باقیمانده برای J و $\overline{K}$ متمم یا حالت بی‌تغییر را در خروجی فلیپ فلاپ QA، پس از جابجایی به وجود می‌آورند.

جدول تابع برای 74195، حالت عمل ثبات را نشان می‌دهد. وقتی که ورودی پاک‌کردن به 0 می‌رود، فلیپ فلاپ‌ها به طور غیرهمزمان، یعنی بدون نیاز به پالس ساعت 0 می‌شوند. اعمال همزمان با لبه مثبت



جدول تابع

تابع	ورودی سریال	$\overline{K}$	J	ساعت	شیفت/بار	پاک‌کننده
پاک کننده آسنکرون	X	X	X	X	X	0
عدم تغییر در خروجی	X	X	X	0	X	1
بار شدن داده و رودی	X	X	X	↑	0	1
شیفت از QA به سمت QD، $QA = 0$	0	0	0	↑	1	1
شیفت از QA به سمت QD، $QA = 1$	1	1	1	↑	1	1

شکل ۱۶-۱۱ . آی سی شیفت رجیستر 74195 با بار شدن موازی

پالس ساعت انجام می‌شوند. برای بارکردن داده ورودی، SH/LD باید 0 شود و لبه بالارونده پالس ساعت باید رخ دهد. برای جابجایی به راست، باید $SH/LD = 1$ باشد. برای ایجاد ورودی سریال J و $\overline{K}$ باید به هم وصل شوند.

آزمایشی انجام دهید که عملکرد آی‌سی 74195 را تأیید کند. نشان دهید که این آی‌سی همه عملیات جدول تابع را اجرا می‌کند. دو حالت $J\overline{K} = 01$ و 10 را هم در جدول تابع خود لحاظ نمایید.

شمارنده حلقوی

یک شمارنده حلقوی، یک شیفت رجیستر دوار است که در آن سیگنال از خروجی سریال QD به ورودی سریال باز می‌گردد. برای ایجاد ورودی سریال ورودی‌های J و $\overline{K}$ را به هم وصل نمایید. از ورودی بار برای پیش تنظیم شمارنده حلقوی با مقدار اولیه 1000 استفاده کنید. ضمن دوران تک بیت 1 حالت ثبات را پس از هر پالس ساعت چک نمایید.

یک شمارنده حلقوی دنباله چرخان از خروجی متمم QD برای ورودی سریال استفاده می‌نماید. شمارنده حلقوی دنباله چرخان را با 0000 پیش تنظیم کنید و رشته حالات حاصل از شیفت رجیستر را پیش‌بینی نمایید. پیش‌بینی خود را با مشاهده رشته حالات پس از هر جابجایی تصدیق نمایید.

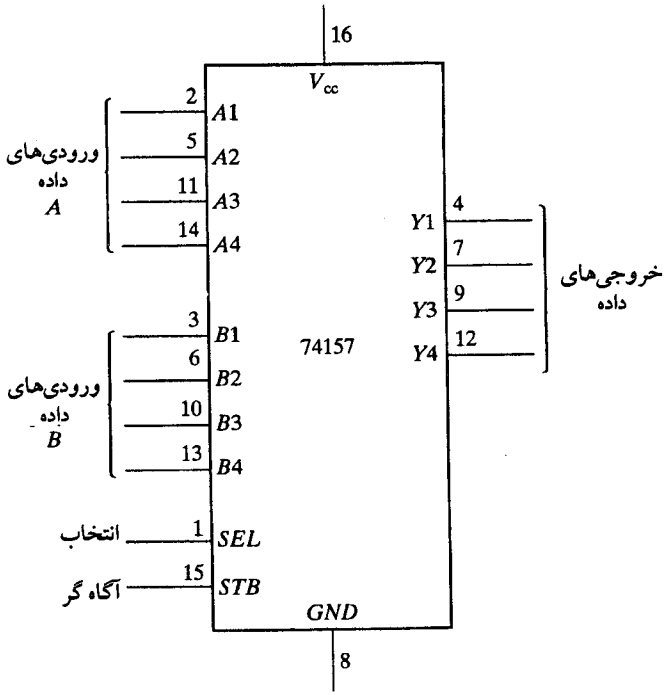
شیفت رجیستر پسخوردی

یک شیفت رجیستر پسخوردی، نوعی شیفت رجیستر است که در آن ورودی سریال به یک تابع خروجی از ثبات معینی وصل است. ورودی یک شیفت رجیستر پسخوردی را به XOR خروجی‌های QC و QD وصل کنید. رشته حالات ثبات را با $ABCD = 1000$ پیش‌بینی نمایید. صحت پیش‌بینی خود را با مشاهده رشته حالات پس از هر پالس ساعت تحقیق کنید.

شیفت رجیستر دو طرفه

آی‌سی 74195 فقط قادر است عمل جابجایی را به راست و از QA به سمت QD، انجام دهد. می‌توان برای تبدیل آن به یک شیفت رجیستر دو طرفه، از حالت بارکردن استفاده کرده و عمل جابجایی به چپ را (از QD به QA) انجام داد. این کار با اتصال خروجی هر فلیپ فلاپ به ورودی فلیپ فلاپ سمت چپ آن و استفاده از ورودی SH/LD به عنوان کنترل جابجایی، صورت می‌گیرد. ورودی D برای عمل جابجایی به چپ به عنوان ورودی سریال عمل خواهد کرد.

شیفت رجیستر 74195 را به عنوان یک جابجا کننده دو طرفه (بدون بار موازی) ببندید. ورودی سریال شیفت رجیستر را به کلید قطع و وصل متصل کنید. با اتصال خروجی سریال QA به ورودی سریال D یک شمارنده حلقوی ایجاد نمایید. ثبات را پاک کرده و سپس عمل آن را با اعمال 1 از سوئیچ ورودی چک کنید. سه بار دیگر جابجایی به راست را تکرار نموده و بعد از آن با ورودی کنترل جابجایی به چپ، یک بار چرخش به چپ را انجام دهید. عدد 1 باید ضمن جابجایی قابل رؤیت باشد.



جدول تابع

خروجی‌های داده Y	انتخاب	آگاه گر
تمام 0	X	1
انتخاب ورودی‌های داده A	0	0
انتخاب ورودی‌های داده B	1	0

شکل ۱۷-۱۱ . آی سی مولتی پلکسر 1×2، 74157 چهار تایی

شیفت رجیستر دو طرفه با بار شدن موازی

می‌توان آی‌سی 74195 را به کمک یک مولتی پلکسر تبدیل به یک شیفت رجیستر دو طرفه با بار شدن موازی نمود. برای این منظور از یک 74157 استفاده خواهیم کرد. این آی‌سی یک مولتی پلکسر چهارتایی دو خط به یک خط است که مدار داخلی‌اش در شکل ۲۶-۴ ملاحظه می‌شود. تخصیص پایه به ورودی‌ها و خروجی‌های 74157 در شکل ۱۷-۱۱ ملاحظه می‌گردد. توجه کنید که ورودی فعال‌ساز را در 74157، آگاه گر می‌نامند.

یک ثبات جابجایی با بار موازی دو طرفه را با 74195 و مولتی پلکسر 74157 بسازید. مدار باید قادر به انجام اعمال زیر باشد:

۱- ورودی پاک کردن همزمان داشته باشد.
۲- جابجایی به راست انجام دهد.
۳- جابجایی به چپ انجام دهد.
۴- قابلیت بار شدن موازی را داشته باشد.
۵- پاک شدن همزمان داشته باشد.

جدولی برای پنج عمل فوق به صورت تابعی از ورودی‌های پاک کردن، ساعت، جابجایی و بارکردن در 74195 و ورودی آگاه‌گر و انتخاب در 74157 تشکیل دهید. مدار را وصل نمایید و صحت جدول را تحقیق کنید. از حالت بار موازی برای تهیه یک مقدار اولیه در ثبات استفاده کنید و آنگاه خروجی سریال را به دو ورودی سریال وصل کنید تا اطلاعات ضمن جابجایی از دست نرود.

۱۲-۱۱ جمع سریال

در این آزمایش شما یک مدار جمع- تفریق‌گر سریال را ساخته و تست خواهید کرد. جمع سریال دو عدد دودویی را می‌توانید طبق بحث بخش ۲-۶ با شیفت رجیستر و تمام جمع‌کننده انجام دهید.

جمع‌کننده سریال

با شروع از شکل ۶-۶، یک جمع‌کننده سریال 4 بیت با استفاده از آی‌سی‌های 74195 (دو عدد)، 7408، 7486 و 7476 طراحی و پیاده‌سازی کنید. برای ثبات B امکاناتی فراهم کنید تا بتوانید داده موازی را از چهار کلید قطع و وصل بپذیرید و ورودی سریال را نیز به زمین وصل نمایید به نحوی که 0ها در حین جمع وارد ثبات B شوند. کلید دیگری لازم است تا به وسیله آن مشخص شود که آیا ثبات B اطلاعات موازی دریافت کند یا ضمن جمع عمل جابجایی انجام دهد.

تست جمع‌کننده

برای تست جمع‌کننده سریال، جمع دودویی $26 = 15 + 6 + 5$ را اجرا نمایید. این کار ابتدا با پاک کردن ثبات‌ها و فلیپ فلاپ نقلی انجام می‌گردد. مقدار 0101 را به طور موازی در ثبات B وارد کنید. چهار پالس برای جمع سریال B با A اعمال نمایید و تحقیق کنید که جواب نهایی در A برابر 0101 است. (توجه کنید که پالس ساعت برای 7476 باید طبق شکل ۱۲-۱۱ باشد. 0110 را به صورت موازی در B بارکنید و به صورت سریال با A جمع نمایید. وجود حاصل جمع صحیحی را در A تحقیق کنید. مقدار 1111 را به B وارد و آن را با A جمع کنید. آیا مقدار داخل A برابر 1010 و فلیپ فلاپ رقم نقلی نیز 1 شده است. ثبات‌ها و فلیپ فلاپ‌ها را پاک کرده و برای اطمینان از عملکرد جمع کننده سریال خود چند عدد دیگر را به کار ببرید.

جمع- تفریق‌گر سریال

اگر روال بخش ۲-۶ را برای طراحی یک تفریق‌گر سریال ($A - B$) دنبال کنیم در می‌یابیم که

خروجی تفاضل با خروجی جمع یکی است، ولی ورودی J و K از فلیپ فلاپ قرض باید متمم QD باشد (در 74195 موجود است). با استفاده از دو گیت XOR از 7486، جمع‌کننده سریال را به جمع-تفریق‌گر سریال با حالت‌کنترل M تبدیل نمایید. وقتی $M = 0$ است، مدار جمع $A + B$ را انجام می‌دهد. وقتی $M=1$ است، مدار تفریق $A-B$ را انجام داده و فلیپ فلاپ در عوض نقلی، قرض را نگه خواهد داشت.

بخش جمع را با تکرار اعمال پیشنهادی فوق تست کنید و اطمینان حاصل نمایید که اصلاح تغییری در عملکرد ایجاد نمی‌کند. بخش تفریق سریال را با اجرای اعمال $7- = 13 - 5 - 4 - 15$ تست نمایید. عدد 15 دودویی می‌تواند به ثبات A به این صورت انتقال یابد که ابتدا آن را با 0 پاک کرده و سپس با عدد 15 در B جمع کنید. در حین تفریق نتایج حاصل در هر مرحله را چک کنید. توجه داشته باشید که $7-$ به صورت متمم دو عدد 7 با قرض 1 از فلیپ فلاپ بدست می‌آید.

۱۳-۱۱ واحد حافظه

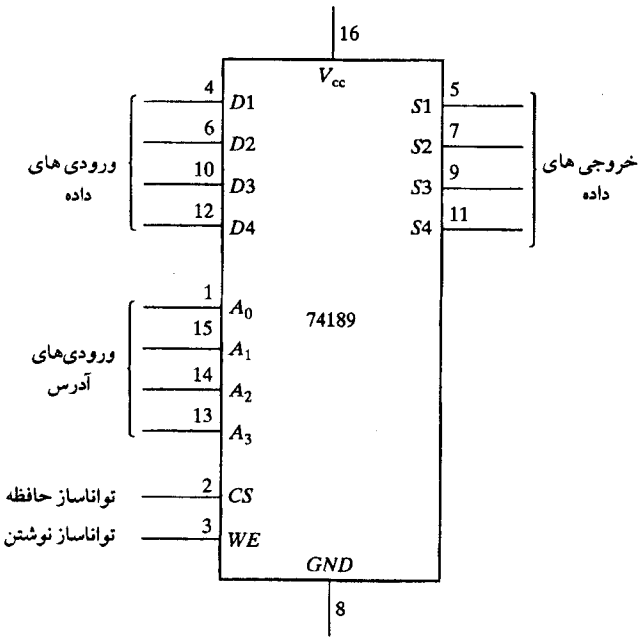
در این آزمایش رفتار یک حافظه RAM و قابلیت ذخیره‌سازی آن را تست خواهید کرد. از RAM برای شبیه‌سازی یک ROM استفاده خواهد شد. سپس شبیه‌ساز ROM، طبق بحث بخش ۵-۷ برای پیاده‌سازی مدارهای ترکیبی به کار می‌رود. واحد حافظه در بخش‌های ۲-۷ و ۳-۷ بحث گردید.

آی‌سی RAM

آی‌سی 74189 یک حافظه RAM با سایز 4×16 است. مدار درونی آن شبیه مدار RAM 4×4 در شکل ۶-۷ می‌باشد. تخصیص پایه به ورودی‌ها و خروجی‌ها در شکل ۱۸-۱۱ دیده می‌شود. چهار خط ورودی آدرس یکی از 16 کلمه در حافظه را انتخاب می‌نماید. کم‌ارزش‌ترین بیت آدرس $A0$ و باارزش‌ترین آن $A3$ است. ورودی انتخاب تراشه (CS) باید 0 باشد تا حافظه فعال گردد. اگر $CS = 1$ باشد، حافظه غیرفعال شده و هر چهار خروجی در حالت امپدانس بالا خواهد ماند. فعال‌ساز نوشتن (WE) نوع عمل را مطابق جدول تابع معین می‌نماید. وقتی $WE = 0$ باشد، عمل نوشتن اجرا می‌شود. این کار به معنی انتقال یک عدد دودویی از ورودی‌های داده به کلمه موردنظر حافظه است. عمل خواندن هنگامی انجام می‌گردد که $WE = 1$ باشد. این کار مقدار متمم کلمه ذخیره شده را به خطوط داده خروجی منتقل می‌سازد. حافظه برای ایجاد گسترش دارای خروجی‌های سه حالته است.

تست RAM

چون خروجی‌های 74189 مقادیر متمم تولید می‌نمایند، باید چهار وارونگر برای تغییر خروجی‌ها به مقدار معمولی، به مدار اضافه کنیم. تست حافظه RAM پس از اتصال‌های زیر امکان‌پذیر است: ورودی‌های آدرس را به یک شمارنده دودویی 7493 متصل نمایید (شکل ۳-۱۱). چهار ورودی داده را به کلیدهای قطع و وصل و چهار خروجی داده را به وارونگرهای 7404 متصل سازید. چهار لامپ برای



جدول تابع

CS	WE	عملکرد	خروجی‌های داده
0	0	نوشتن	امپدانس بالا
0	1	خواندن	مکمل کلمه منتخب
1	X	ناتوان	امپدانس بالا

شکل ۱۸-۱۱. آی سی RAM، 4×16 از نوع 7489

آدرس و چهار لامپ دیگر برای خروجی‌های وارونگر فراهم کنید. ورودی *CS* را به زمین و *WE* را به کلید قطع و وصل یا یک پالس ساز وصل نمایید. چند کلمه در حافظه ذخیره کنید و سپس آنها را بخوانید و مطمئن شوید که عمل خواندن و نوشتن به درستی انجام می‌گردد. هنگام استفاده از *WE* دقت لازم را مبذول نمایید. همواره ورودی *WE* را در حالت خواندن قرار دهید، مگر این که بخواهید در حافظه بنویسید. روش صحیح نوشتن این است که ابتدا آدرس را در شمارنده و ورودی‌ها را در چهار کلید قطع و وصل ایجاد کنیم. برای ذخیره کلمه در حافظه، کلید *WE* را در موقعیت نوشتن قرار داده و سپس آن را به حالت خواندن باز گردانید. دقت کنید که آدرس یا ورودی‌ها را وقتی *WE* در حالت نوشتن است، تغییر ندهید.

شبیه‌ساز ROM

یک شبیه‌ساز ROM از یک RAM که فقط در حالت خواندن کار کند، بدست می‌آید. ابتدا با استقرار حافظه در حالت نوشتن الگوهای 1 و 0 وارد RAM می‌شوند. شبیه‌سازی با حالت خواندن و انتخاب خطوط

آدرس به عنوان ورودی به ROM انجام می‌گردد. سپس ROM می‌تواند برای پیاده‌سازی مدار ترکیبی بکار رود.

با شبیه‌ساز ROM یک مدار ترکیبی پیاده‌سازی کنید تا طبق جدول ۶-۱ یک عدد دودویی چهار بیت را به کد گری تبدیل نماید. این کار به صورت زیر صورت می‌گیرد: جدول درستی مبدل کد را به دست آورید. با تنظیم ورودی‌های آدرس به مقادیر دودویی در جدول درستی و ورودی‌های داده با مقادیر کد گری مربوطه در 7489 ذخیره نمایید. پس از نوشتن هر 16 وارده جدول در حافظه، شبیه‌ساز ROM با $WE = 1$ ایجاد می‌گردد. با اعمال ورودی‌ها به خطوط آدرس، صحت خروجی‌ها در خطوط خروجی داده را تحقیق نمایید.

گسترش حافظه

واحد حافظه را با استفاده از دو آی‌سی 74189 به RAM 4 × 32 تبدیل کنید. ورودی‌های CS را برای انتخاب یکی از دو آی‌سی به کار ببرید. توجه کنید که چون خروجی‌ها سه حالته‌اند، می‌توانید جفت پایانه‌ها را به هم گره بزنید تا یک OR منطقی بین دو آی‌سی به وجود آید. مدار خود را با به‌کارگیری آن به عنوان یک ROM شبیه‌سازی شده که یک عدد 3 بیت را با عدد 2 بیت دیگر جمع می‌کند تا حاصل جمع 4 بیتی بدست آید. تست کنید مثلاً اگر ورودی به ROM، 10110 باشد، آنگاه خروجی برابر است با 0111 = 10 + 101. سه بیت اول ورودی عدد 5 و دو بیت آخر 2 را نمایش می‌دهند و خروجی نیز 7 است. از شمارنده برای ایجاد چهار بیت آدرس و از یک کلید نیز برای تولید بیت پنجم استفاده کنید.

۱۱-۱۴ هندبال لامپی

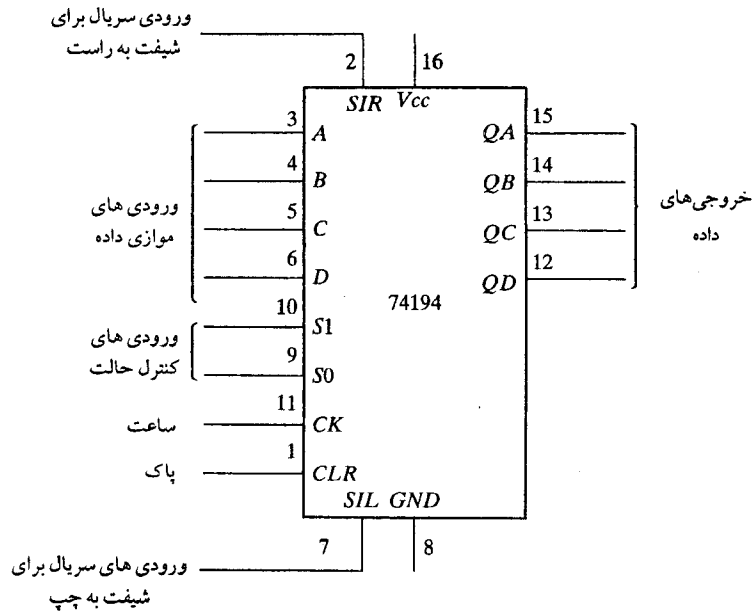
در این آزمایش، شما یک بازی الکترونیک به نام هندبال را با به کارگیری یک لامپ روشن برای شبیه‌سازی توپ استفاده خواهید کرد. این پروژه کاربرد دو طرفه یک شیفت رجیستر با بار شدن موازی را نشان می‌دهد. همچنین عمل ورودی غیرهمزمان فلیپ فلاپها هم نشان داده شده است. ما ابتدا آی‌سی مورد نیاز این آزمایش را معرفی کرده و سپس نمودار منطقی بازی هندبال لامپی را ارائه می‌کنیم.

آی‌سی 74194

این یک شیفت رجیستر دو طرفه با بار شدن موازی است. مدار درونی آن شبیه شکل ۷-۶ است. تخصیص پایه به ورودی‌ها و خروجی‌ها در شکل ۱۹-۱۱ نشان داده شده است. دو ورودی کنترل حالت نوع عمل را طبق جدول تابع مشخص می‌کند.

نمودار منطقی

نمودار منطقی هندبال لامپی الکترونیکی در شکل ۲۰-۱۱ مشاهده می‌شود. این مدار از دو آی‌سی



جدول تابع

تابع	حالت S0	حالت S1	ساعت	پاک
پاک شدن خروجی	X	X	X	0
عدم تغییر در خروجی	0	0	↑	1
شیفت به راست در جهت QA به QA	1	0	↑	1
شیفت به چپ در جهت QD به QD	0	1	↑	1
ورودی بار شدن موازی داده	1	1	↑	1

QD. SIR

QA. SIL

شکل ۱۹-۱۱ . آی سی شیفت رجیستر دو طرفه با بار شدن موازی نوع 74194

74194 یک آی‌سی فلیپ فلاپ D دوگانه 7474 و سه گیت 7400 ، 7404 و 7408 ساخته شده است. توپ با شبیه‌سازی لامپ متحرکی که از طریق شیفت رجیستر دو طرفه به چپ و راست می‌رود، حرکت می‌کند. سرعت حرکت لامپ با فرکانس ساعت معین می‌گردد. مدار ابتدا با کلید بازنشانی مقداردهی اولیه می‌گردد. کلید شروع، بازی را با استقرار توپ (یکی از لامپها) در منتهی‌الیه سمت راست آغاز می‌نماید. بازیکن باید دکمه فشاری پالس ساز را برای آغاز بازی بفشارد تا توپ به سمت چپ برود. لامپ روشن آنقدر به چپ منتقل می‌شود تا به سمت چپ‌ترین مکان برسد (دیوار) ، آنگاه توپ با معکوس شدن جهت جابجایی لامپ به بازیکن برمی‌گردد. وقتی که دوباره در سمت راست‌ترین مکان

قرار گرفت بازیکن باید کلید را بفشارد تا جهت جابجایی عوض شود. اگر بازیکن کلید را زودتر یا دیرتر از موعد مقرر بفشارد توپ ناپدید شده و لامپ خاموش می‌گردد. با روشن و خاموش کردن کلید شروع می‌توان بازی را دوباره آغاز کرد. در حین بازی کلید شروع باید باز (در حالت 1) باشد.

تحلیل مدار

قبل از اتصال مدار، نمودار منطقی را تحلیل کنید تا از درک عملکرد آن مطمئن شوید. بخصوص سعی کنید به سؤالات زیر پاسخ دهید.

۱- وظیفه کلید بازنشانی چیست؟

۲- توضیح دهید که چگونه نور در سمت راست‌ترین مکان با اتصال کلید شروع به زمین، روشن می‌گردد. چرا قبل از آغاز بازی باید کلید شروع را روی منطق 1 قرار داد.

۳- دو ورودی کنترل $S0$ و $S1$ در هنگام حرکت توپ چه حالاتی دارند.

۴- اگر ضمن حرکت توپ به چپ، کلید پالس‌ساز را فشار دهیم چه اتفاقی در ورودی‌های کنترل حالت به وجود می‌آید؟ اگر توپ در حال حرکت به راست باشد و عمل فوق تکرار گردد چه اتفاقی خواهد افتاد؟

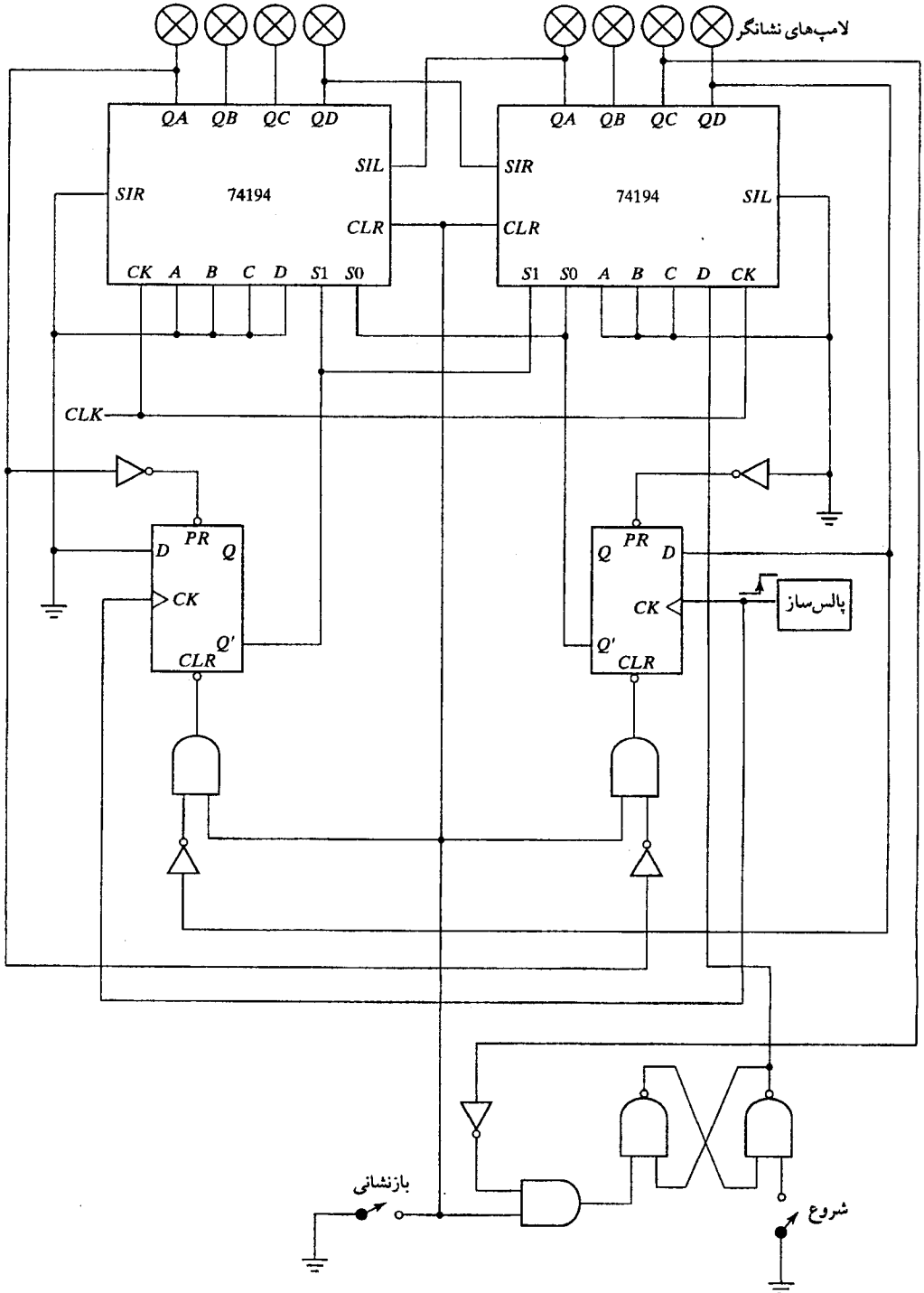
۵- فرض کنید که توپ به منتهی‌الیه سمت راست رسیده باشد ولی هنوز کلید پالس‌ساز فشرده نشده‌باشد. حالت ورودی‌های کنترل حالت، اگر پالس‌ساز فشار داده‌شود چه می‌شود؟ اگر فشار داده نشود چه می‌شود؟

انجام بازی

مدار شکل ۲۰-۱۱ را ببندید. با مدار برای اطمینان از صحت کارش بازی کنید. توجه شود که پالس ساز باید یک گذر مثبت تولید کند و نیز هر دو کلید بازنشانی و شروع در حین بازی باید باز شوند (در منطق 1). ابتدا با فرکانس ساعت پایینی شروع کرده و سپس برای داشتن یک بازی هیجان‌آور آن را بالا ببرید.

شمارش تعداد باخت‌ها

مداری طراحی کنید که تعداد دفعات باخت بازیکن را در حین بازی نگهدارد. از یک دیکدر BCD به هفت قسمتی و نمایشگر هفت قسمتی مثل شکل ۸-۱۱ استفاده کنید و شمارش 0 تا 9 را نمایش دهید. شمارش با شمارنده دهدهی با استفاده از 7493 به عنوان شمارنده موج‌گونه دهدهی یا 74161 و یک گیت NAND به عنوان یک شمارنده دهدهی همزمان صورت بگیرد. وقتی مدار در حالت بازنشانی است، شمارنده باید 0 را نشان دهد. هر بار که توپ ناپدید شود و لامپ خاموش گردد، نمایشگر به اندازه 1 واحد افزایش خواهد یافت. اگر لامپ در حین بازی روشن بماند مقدار نمایشگر نباید تغییر یابد. طرح نهایی باید یک مدار شمارش خودکار باشد و نمایش دهدهی آن به طور خودکار در ازاء هر باخت و خاموش‌شدن لامپ، یک واحد افزایش یابد.



شکل ۲۰-۱۱ . نمودار منطقی هندبال لامپی

لامپ پینگ پونگ TM

مدار شکل ۲۰-۱۱ را طوری اصلاح کنید که یک بازی پینگ پونگ لامپی بدست آید. در این بازی دو نفر می‌توانند شرکت کنند و هر بازیکن پالس‌ساز خاص خود را داراست. بازیکنی که پالس‌ساز سمت راست را در اختیار دارد، توپ را از سمت راست‌ترین مکان باز می‌گرداند و بازیکن سمت چپ هم به همین ترتیب توپ را از سمت چپ برمی‌گرداند. تنها اصلاح لازم برای بازی پینگ پونگ پالس ساز دوم و تغییر چند سیم می‌باشد.

۱۵-۱۱ مولد پالس ساعت

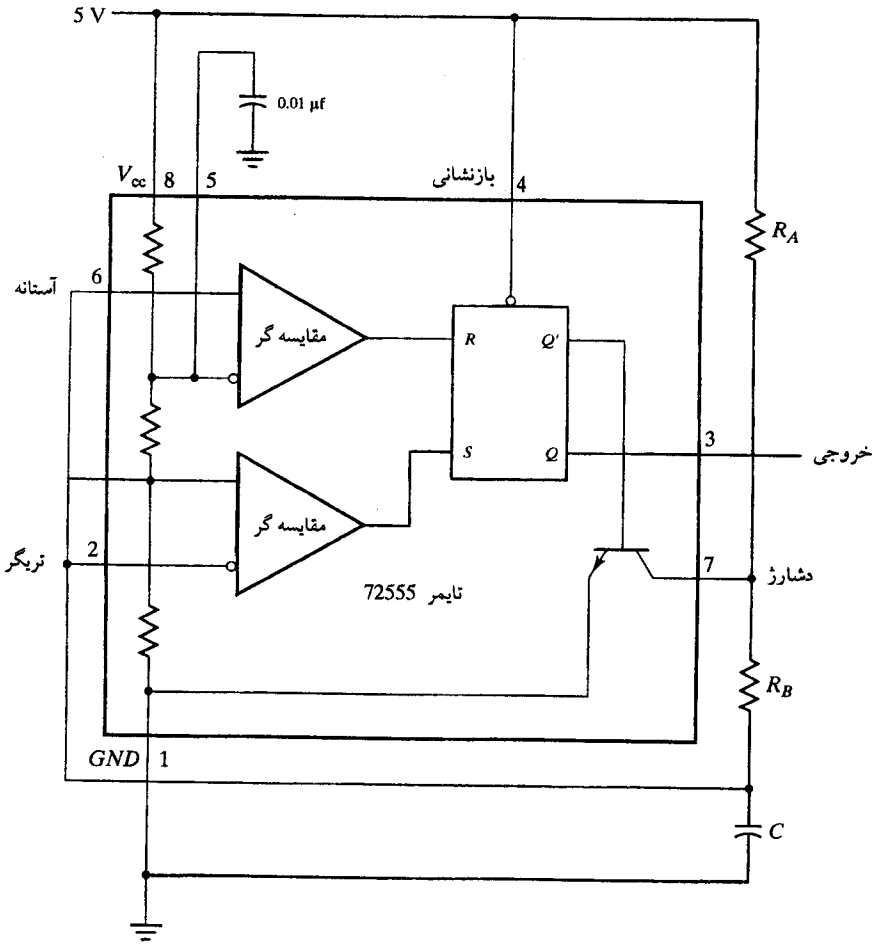
در این آزمایش، شما از یک آی‌سی تایمر استفاده کرده و برای تولید پالس‌های ساعت در فرکانس مفروضی آن را وصل خواهید کرد. این مدار به دو مقاومت و دو خازن بیرونی نیاز دارد. اسیلوسکوپ اشعه کاتودیک برای مشاهده امواج و اندازه‌گیری فرکانس به کار خواهد رفت.

آی‌سی تایمر

آی‌سی 72555 (یا 555) یک مدار تایمر دقیق است که داخل آن در شکل ۲۱-۱۱ ملاحظه می‌شود. (مقاومت‌های R_A و R_B و دو خازن بخشی از آی‌سی نیستند). این مدار حاوی دو مقایسه‌گر، یک فلیپ فلاپ و یک مقاومت درونی است. تقسیم ولتاژ $V_{CC} = 5V$ به وسیله سه مقاومت درونی به زمین وصل است تا $\frac{1}{3}$ و $\frac{2}{3}$ مقدار V_{CC} (3.3V و 1.7V) در ورودی مقایسه‌گرها در اختیار قرار گیرد. وقتی که ورودی آستانه در پایه 6 به بیش از 3.3V برسد، مقایسه‌گر بالایی فلیپ فلاپ را به 0 بازنشانی کرده و بنابراین خروجی به عدد 0V خواهد رفت. وقتی که ورودی راه‌اندازی در پایه 2 به زیر 1.7V برود، مقایسه‌گر پایینی فلیپ فلاپ را به 1 نشانده و خروجی ترانزیستور به حدود 5V خواهد رسید. وقتی که خروجی پایین است، Q' در سطح بالاست و پیوند بیس- امیتر ترانزیستور تغذیه مستقیم می‌گردد. وقتی که خروجی بالاست، Q' پایین و ترانزیستور خاموش می‌گردد (بخش ۲-۱۰). مدار تایمر می‌تواند تأخیر زمانی دقیقی را با مدار خارجی RC تولید کند. در این آزمایش تایمر در حالت آستابل برای تولید پالس ساعت به کار می‌رود.

عملکرد مدار

شکل ۲۱-۱۱ اتصالات بیرونی لازم را برای کار در حالت آستابل نشان می‌دهد. خازن C به هنگام خاموشی ترانزیستور شارژ شده و از طریق مقاومت‌های R_B به هنگام روشنی ترانزیستور دشارژ می‌گردد. وقتی که ولتاژ شارژ دو سر خازن C به 3.3V برسد، ورودی آستانه در پایه، موجب بازنشانی فلیپ فلاپ و در نتیجه روشنی ترانزیستور می‌گردد. وقتی دشارژ ولتاژ به 1.7V برسد، ورودی تریگر در پایه 2 موجب 1 شدن فلیپ فلاپ و خاموش شدن ترانزیستور می‌شود. بنابراین ولتاژ مرتباً بین دو سطح



شکل ۲۱-۱۱. آی سی تایمر 72555 که بعنوان مولد پالس ساعت بسته شده است.

در خروجی فلیپ فلاپ تغییر خواهد کرد. خروجی برای مدتی برابر با زمان شارژ در سطح بالا باقی می‌ماند. این دوره زمانی از معادله زیر بدست می‌آید.

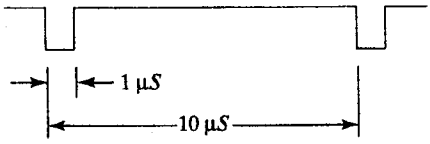
$$t_H = 0.693(R_A + R_B)C$$

خروجی برای مدت زمان دشارژ در سطح پایین باقی می‌ماند. این زمان از رابطه زیر محاسبه می‌گردد.

$$t_L = 0.693R_BC$$

مولد پالس ساعت

با داشتن خازن C به ظرفیت $0.001\mu F$، مقادیر R_A و R_B را برای تولید پالس‌های ساعت



شکل ۲۲-۱۱ . شکل موج مولد ساعت

شکل ۲۲-۱۱ محاسبه نمایید. عرض پالس $1\mu s$ در سطح پایین است، و با فرکانس 100KHz تکرار می‌شود. مدار را وصل و خروجی را روی اسیلوسکوپ چک نمایید.

خروجی دو سر خازن C را مشاهده نمایید و دو سطح آن را ثبت کنید و نشان دهید که دو سطح آن بین دو مقدار تریگر و آستانه است.

شکل موج در کلکتور ترانزیستور در پایه 7 را ملاحظه نمایید و همه اطلاعات مربوطه را ثبت کنید. شکل موج را با تحلیل عمل مدار توضیح دهید.

برای تولید مولد پالس فرکانس متغیر یک مقاومت متغیر (پتانسیومتر) را با R_A سری کنید. دوره سطح پایین همان $1\mu s$ باقی می‌ماند. فرکانس بین 20 تا 100KHz خواهد بود.

پالس‌های سطح پایین را به کمک یک وارونگر به پالس‌های سطح بالا تبدیل کنید. در این صورت پالس‌های $1\mu s$ با فرکانس متغیر خواهید داشت.

۱۱-۱۶ جمع‌کننده موازی و انباره

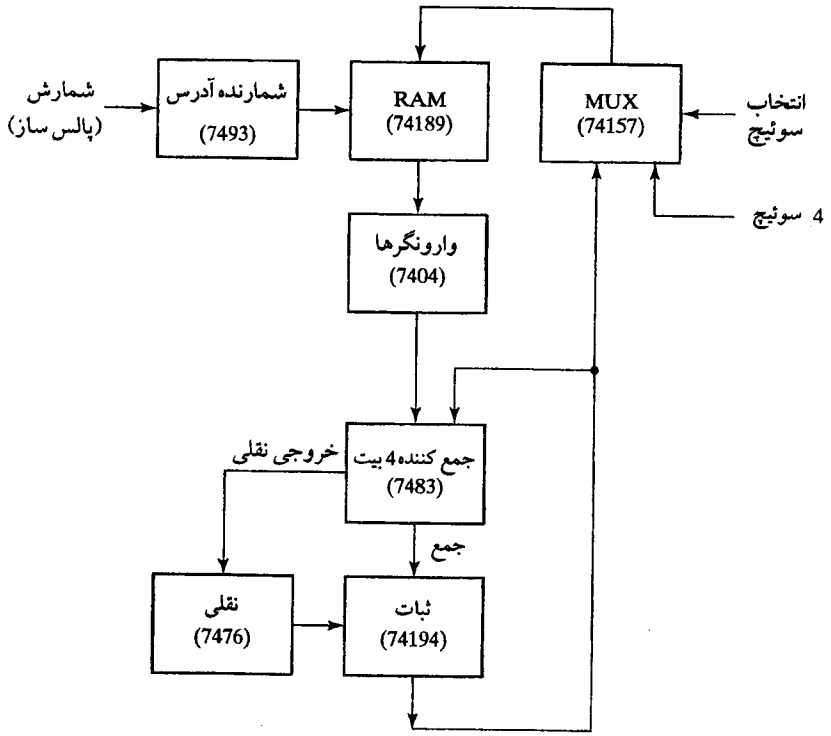
در این آزمایش، شما یک جمع‌کننده موازی چهار بیت، که جمع حاصل از آن می‌تواند در یک ثبات بار شود را خواهید ساخت. مجموعه اعدادی که باید جمع شوند در حافظه RAM ذخیره خواهند شد.

نمودار بلوکی

مدار RAM را از حافظه آزمایش بخش ۱۳-۱۱ انتخاب کرده و برای ساخت مدار از یک جمع‌کننده 4 بیت، یک شیفت رجیستر 4 بیت با بار شدن موازی، یک فلیپ فلاپ نقلی و یک مولتی پلکسر استفاده نمایید. نمودار بلوکی و IC های به‌کار رفته در شکل ۲۳-۱۱ مشاهده می‌گردد. اطلاعات حاصل از چهار کلید، یا از چهار بیت داده موجود در خروجی یک ثبات می‌تواند در یک RAM نوشته شود. انتخاب یکی از دو منبع اطلاعات به وسیله مولتی پلکسر انجام می‌گردد. داده در RAM می‌تواند با محتویات ثبات جمع شده و حاصل جمع به ثبات بازگردانده شود.

کنترل ثبات

سوئیچ‌های قطع و وصلی برای کنترل ثبات 74197 و فلیپ فلاپ نقلی 7476 مطابق زیر فراهم آورید.



شکل ۲۳-۱۱ . نمودار بلوکی جمع کننده موازی برای آزمایش ۱۶

(الف) با توجه به اعمال پالس ساعت شرایط بار شدن (LOAD) برای انتقال حاصل جمع به ثبات و خروجی نقلی به فلیپ فلاپ را فراهم آورید.

(ب) با توجه به اعمال پالس ساعت، شرایط جابجایی (SHIFT) به راست به همراه انتقال فلیپ فلاپ نقلی به سمت چپ‌ترین مکان ثبات را فراهم آورید. محتوای فلیپ فلاپ نقلی نباید در حین جابجایی تغییر کند.

(پ) حالت بی‌تغییری راکه محتوای ثبات و فیلپ فلاپ حتی با اعمال پالس ساعت تغییر نکنند را ایجاد نمایید.

مدار رقم نقلی

برای اطمینان از مشخصات فوق، مداری بین خروجی نقلی از جمع کننده و ورودی‌های J و K فلیپ فلاپ 7476 تهیه نمایید به طوری که خروجی رقم نقلی تحت شرایط بار شدن به فلیپ فلاپ (0 یا 1) ضمن اعمال پالس ساعت به آن انتقال یابد. اگر شرط بار شدن غیرفعال یا شرط جابجایی فعال گردد، فلیپ فلاپ رقم نقلی نباید تغییر یابد.

تست مدار

اعداد زیر را در RAM ذخیره کرده و سپس آنها را یک به یک با محتوای ثبات جمع کنید. کار را با ثبات و فلیپ فلاپ پاک شده آغاز نمایید. مقدار خروجی ثبات و رقم نقلی را پس از هر جمع حدس زده و صحت نتایج خود را تحقیق نمایید.

0110 + 1110 + 1101 + 0101 + 0011

عملکرد مدار

ثبات و رقم نقلی را پاک نموده و اعداد چهار بیت زیر را در آدرس‌های ذکر شده در RAM ذخیره نمایید.

آدرس	محتوا
0	0110
3	1110
6	1101
9	0101
12	0011

اکنون چهار عمل زیر را اجرا کنید.

۱- محتوای آدرس‌های ثبات با شرط LOAD را با محتوای ثبات جمع کنید.
۲- حاصل جمع را در آدرس 1 حافظه RAM ذخیره نمایید.
۳- محتویات ثبات و رقم نقلی را با شرط SHIFT به راست جابجا نمایید.
۴- محتوای جابجا شده ثبات را در آدرس 2 حافظه RAM ذخیره کنید.

محتوای سه مکان اول RAM را مطابق زیر تست نمایید.

آدرس	محتوا
0	0110
1	0110
2	0011

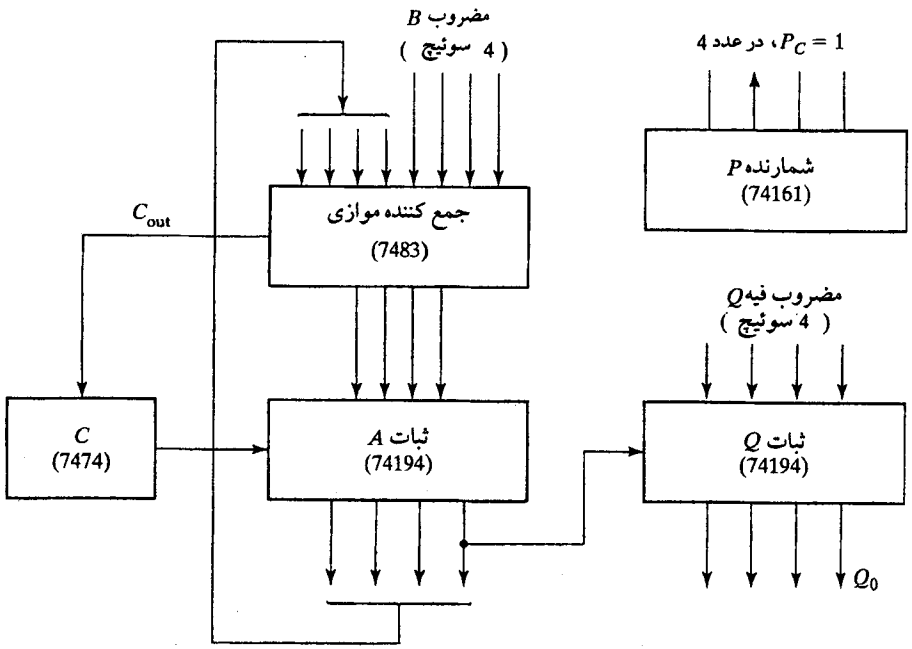
عملیات فوق را برای چهار عدد دودویی دیگر در RAM تکرار کنید. آدرس‌های 4، 7، 10 و 13 را برای ذخیره حاصل جمع موجود در ثبات در مرحله ۲ به کار ببرید. آدرس‌های 5، 8، 11 و 14 را برای ذخیره مقدار جابجا شده در ثبات در مرحله ۴ استفاده نمایید. محتوای آدرس‌های 0 تا 14 از RAM را تخمین بزنید و برای اطمینان از نتایج خود، آنها را تست کنید.

۱۷-۱۱ ضرب‌کننده دودویی

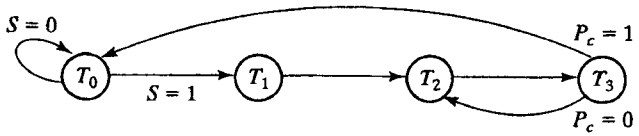
در این آزمایش، شما یک مدار ضرب‌کننده دو عدد 4 بیت بی‌علامت برای تولید حاصلضرب 8 بیت طراحی و خواهید ساخت. الگوریتم ضرب دو عدد دودویی در بخش ۶-۸ ملاحظه گردید.

نمودار بلوکی

نمودار بلوکی ضرب کننده دودویی با آی‌سی‌های پیشنهادی به کار رفته در شکل ۲۴-۱۱ (الف) نشان داده شده است. مضروب B در عوض یک ثبات، از چهار کلید حاصل می‌شود. مضروب فیه Q از چهار کلید دیگر بدست می‌آید. حاصلضرب با هشت لامپ مشخص می‌گردد. شمارنده P با 0 مقداردهی اولیه شده و با هر بار ایجاد حاصلضرب جزیی، یک واحد افزایش می‌یابد. وقتی که شمارنده به عدد چهار برسد، خروجی P_c برابر 1 شده و ضرب خاتمه می‌یابد.



(الف) نمودار پردازشگر داده



T_1: $A \leftarrow 0, C \leftarrow 0, P \leftarrow 0, Q \leftarrow$ مضروب فیه

T_2: $P \leftarrow P + 1$

T_2Q_0: $A \leftarrow A + B, C \leftarrow C_{out}$

T_3: $CAQ, C \leftarrow 0$ جابجایی به راست

(ب) نمودار حالت کنترل

شکل ۲۴-۱۱ . مدار ضرب دودویی

کنترل ثبات‌ها

چارت ASM برای ضرب کننده دودویی در شکل ۱۴-۸ نشان می‌دهد که سه ثبات و فلیپ فلاپ نقلی به وسیله سیگنال‌های T_1 ، T_2 و T_3 کنترل می‌شوند. یک سیگنال کنترل اضافی دیگر که به Q_1 بستگی دارد، جمع را در ثابت A و رقم نقلی را در فلیپ فلاپ C بار می‌نماید. Q_1 کم‌ارزش‌ترین بیت ثبات Q است. نمودار حالت کنترل و اعمال انجام شده در هر حالت در شکل ۲۴-۱۱ (ب) لیست شده است. T_2Q_0 با یک گیت AND که ورودی‌هایش T_2 و Q_0 است تولید می‌گردد. توجه کنید که فلیپ فلاپ نقلی C با هر پالس ساعت، به جز هنگام انتقال رقم نقلی به داخل آن، قابل پاک شدن است.

مثال ضرب کننده

قبل از اتصال مدار، مطمئن شوید که عملکرد مدار ضرب کننده را فهمیده‌اید. برای انجام این کار، جدولی مشابه جدول ۴-۸ بسازید، که در آن مضروب $B = 1111$ و مضروب فیه $Q = 1011$ باشد. در توضیحات سمت چپ جدول، بگویید کدام یک از متغیرهای حالت T_1 ، T_2 و T_3 ، در هر حالت فعال شده است. حالات باید با T_1 شروع و سپس T_2 و T_3 چهار بار تکرار می‌گردند.

طراحی پردازشگر داده

نمودار مشروحی برای بخش پردازشگر (مسیر داده) رسم کرده و همه اتصالات پایه‌های آی‌سی را نشان دهید. سیگنال‌های کنترل T_1 ، T_2 و T_3 را با سه کلید تولید نمایید و آنها را برای تهیه اعمال کنترلی موردنظر در انواع ثبات‌ها، به کار ببرید. مدار را وصل کرده و عملکرد صحیح هر قطعه را چک کنید. با قرار داشتن سه متغیر کنترل در 0 ، کلیدهای مضروب را در 1111 و مضروب فیه را در 1011 تنظیم کنید. متغیرهای کنترل را به صورت دستی یا به وسیله کلیدها طبق نمودار حالت شکل ۲۴-۱۱ (پ) تولید کنید. در هر حالت کنترل یک تک پالس اعمال نموده و خروجی ثبات‌های A و Q و مقادیر C و P_e را مشاهده نمایید. این مقادیر را با اعداد مثال عددی خود مقایسه و صحت عملکرد مدار را تحقیق نمایید. توجه داشته باشید که آی‌سی 74161 دارای فلیپ فلاپ حاکم- تابع است. برای به راه‌اندازی دستی، لازم است تک پالس‌های ساعت یک پالس منفی باشد.

طراحی کنترل

مدار کنترل را با توجه به نمودار حالت طراحی کنید. می‌توانید از هر یک از روش‌های پیاده‌سازی کنترل بخش ۷-۸ استفاده نمایید.

روشی را انتخاب کنید که تعداد آی‌سی‌ها حداقل باشد. صحت عملکرد مدار کنترل را قبل از اتصال به پردازشگر داده تحقیق نمایید.

تست ضرب کننده

خروجی‌های مدار کنترل را به پردازشگر داده وصل و عملکرد کلی مدار را با تکرار مراحل ضرب 1111 در 1011 ، بررسی نمایید. اکنون تک پالس‌های ساعت حالات کنترل را باید به ترتیب به پیش ببرند (کلیدهای دستی حذف شوند). سیگنال شروع S می‌تواند ضمن قرار داشتن کنترل در T_0 ، با یک کلید در وضعیت 1 تولید گردد.

سیگنال شروع S را به وسیله یک پالس‌ساز یا هر نوع پالس کوتاه دیگر تولید نموده و ضرب کننده را به وسیله پالس‌های ساعت حاصل از مولد پالس ساعت به کار اندازید. با فشار دادن S ، پالس‌ساز، عمل ضرب را تا پایان دوباره تکرار خواهد کرد، و حاصلضرب در ثبات‌های A و Q ایجاد خواهد شد. دقت کنید که S را به 0 بازگردانده و سپس کلیدها را با دو عدد چهار بیتی دیگر تنظیم نموده‌اید و آنگاه S را مجدداً فشار دهید. حاصلضرب جدید باید در خروجی‌ها ظاهر شود. ضرب با چند عدد دیگر را برای اطمینان از صحت عملکرد مدار تکرار نمایید.

۱۸-۱۱ مدارهای ترتیبی غیرهمزمان

در این آزمایش شما مدارهای ترتیبی غیرهمزمان را طراحی و خواهید ساخت. این مدارها در فصل ۹ بررسی شدند.

مثال تحلیل

تحلیل مدارهای ترتیبی غیرهمزمان با لچ‌های SR در بخش ۳-۹ آورده شد. مدار شکل (م۹-۹) را در بخش مسائل با ترسیم جدول گذر و نقشه خروجی مدار تحلیل کنید. از روی جدول گذر و نقشه خروجی، معین کنید؛ (الف) وقتی ورودی x_1 بدون توجه به مقدار ورودی x_2، برابر 1 باشد، چه در خروجی Q رخ می‌دهد؛ (ب) وقتی $x_2 = 1$ و $x_1 = 0$ باشد در Q چه اتفاقی می‌افتد. (پ) وقتی دو ورودی به 0 باز گردند چه می‌شود؟

مدار را ببندید و نشان دهید که عملکرد آن با تحلیل مطابقت دارد.

مثال طراحی

مدار فلیپ فلاپ D حساس به لبه مثبت در شکل ۱۰-۵ نشان داده شد. مدار فلیپ فلاپ T حساس به لبه منفی در شکل ۴۶-۹ نشان داده شد. با استفاده از روند ۶ مرحله‌ای در بخش ۸-۹ یک فلیپ فلاپ D ، طراحی، ساخته و تست نمایید به نحوی که در هر دو لبه منفی و مثبت پالس ساعت تریگر شود. مدار دارای ورودی‌های D و C و یک خروجی Q است. پس از تغییر C از 0 به 1 مقدار خروجی با ورودی D برابر می‌شود. اگر C در 1 باقی بماند، خروجی بدون توجه به D بدون تغییر خواهد ماند. در گذر بعدی پالس ساعت یعنی، به هنگام تغییر C از 1 به 0 ، خروجی دوباره به مقدار D اصلاح می‌گردد. مجدداً هنگامی که $C = 0$ باشد خروجی بدون تغییر است.

۱۹-۱۱ آزمایش‌های شبیه‌سازی VERILOG HDL

بعضی از آزمایش‌های سخت‌افزاری بررسی شده در این فصل را می‌توان با یک روال نرم‌افزاری تکمیل کرد، که در آن از زبان توصیف نرم‌افزاری Verilog (HDL) استفاده شده است. برای تکمیل، کامپایلر و شبیه‌ساز Verilog مورد نیاز است. در زیر پیشنهادات شبیه‌سایز و تست بعضی از مدارهای به کار رفته و آزمایشات آمده است.

تکمیل آزمایش ۲ (بخش ۲-۱۱)

انواع گیت‌های منطقی و تأخیر انتشار آنها در آزمایش سخت‌افزاری معرفی شد. در بخش ۹-۳، مدار ساده‌ای با تأخیر گیت مورد بررسی قرار گرفت. به عنوان مقدمه‌ای بر برنامه آزمایشگاهی Verilog مدار توصیف شده در مثال ۳-۳ HDL را کامپایل کرده و شبیه‌ساز را به کار اندازید تا صحت امواج شکل ۳-۳۸ تحقیق گردد.

به مدار XOR شکل ۳-۳۲ (الف) تأخیرهای زیر را نسبت دهید: 10ns برای یک وارونگر، 20ns برای یک گیت AND، و 30ns برای یک گیت OR. ورودی مدار از $xy = 00$ به $xy = 01$ می‌رود.

(الف) خروجی هر گیت را بین $t = 0$ تا $t = 50ns$ معین کنید.

(ب) توصیف HDL مدار از جمله تأخیرها را بنویسید.

(پ) مدول محرک (مشابه مثال ۳-۳ HDL) را بنویسید و برای بررسی پاسخ بخش (الف) آن را شبیه‌سازی نمایید.

تکمیل آزمایش ۴ (بخش ۴-۱۱)

عملکرد یک مدار ترتیبی با تست خروجی و مقایسه آن با جدول درستی مدار تحقیق شد. مثال ۱۰-۴ HDL (بخش ۱۱-۴) روال تهیه جدول درستی به کمک شبیه‌سازی را برای آن نشان می‌دهد. برای دستیابی و آشنایی با این روال، مثال ۱۰-۴ HDL را کامپایل و شبیه‌سازی نمایید و سپس جدول درستی خروجی را چک کنید.

در آزمایش ۴، شما مدار منطقی اکثریت را طراحی کردید. توصیف سطح گیت HDL را برای مدار منطقی اکثریت بنویسید و نیز جدول درستی را هم نمایش دهید. مدار را کامپایل و شبیه‌سازی کرده و پاسخ خروجی را چک نمایید.

تکمیل آزمایش ۵ (بخش ۵-۱۱)

این آزمایش در مورد تبدیل کد ارائه شده است. یک مبدل BCD به افزونی 3 در بخش ۳-۴ طراحی شد. نتایج طرح را برای تست آن با نتایج حاصل از یک شبیه‌ساز HDL به کار ببرید.

(الف) توصیف سطح گیت HDL را برای مدار شکل ۴-۴ بنویسید.

(ب) توصیف روند داده را با استفاده از عبارات بولی شکل ۳-۴ بنویسید.
(پ) توصیف رفتاری HDL یک مبدل BCD به افزونی 3 را بنویسید.
(ت) یک برنامه تست برای شبیه‌سازی و تست مدار مبدل BCD به افزونی 3 بنویسید تا جدول درستی را تصدیق نماید. هر سه مدار را چک نمایید.

تکمیل آزمایش ۷ (بخش ۷-۱۱)

در این آزمایش یک جمع- تفریق‌گر ساخته شد. این مدار در بخش ۴-۴ هم ساخته شده بود.
(الف) یک توصیف رفتاری HDL برای جمع کننده 4 بیت 7483 بنویسید.
(ب) یک توصیف رفتاری برای جمع- تفریق‌گر مدار شکل ۱۱-۱۱ بنویسید.
(پ) یک توصیف سلسله مراتبی برای جمع- تفریق‌گر 4 بیت شکل ۱۳-۴ بنویسید (شامل ۷). این کار با ذکر نوع اصلاح شده جمع کننده 4 بیت در مثال ۲-۴ HDL امکان‌پذیر است.
(ت) یک برنامه تست HDL برای شبیه‌سازی و تست مدارهای بخش (پ) بنویسید.مقادیری که سبب سرریز می‌گردند، $V = 1$، را چک کنید.

تکمیل آزمایش ۸ (بخش ۸-۱۱)

فلیپ فلاپ D حساس به لبه در شکل ۱۳-۱۱ ملاحظه شد. این فلیپ فلاپ دارای ورودی‌های پیش تنظیم و پاک کردن است.
(الف) با استفاده از هر دو خروجی یک توصیف رفتاری HDL برای فلیپ فلاپ 7474D بنویسید (توجه شود که وقتی پیش تنظیم برابر 0 باشد، $Q = 1$ می‌شود، و وقتی پیش تنظیم برابر 1 و پاک کردن هم 0 باشد، $Q = 0$ خواهد شد. بنابراین پیش تنظیم بر پاک کردن اولویت دارد).
(ب) یک توصیف رفتاری HDL ، با استفاده از هر دو خروجی برای فلیپ فلاپ 7474 بنویسید. دومین خروجی را Q−not نام‌گذاری کنید و توجه داشته باشید این، همیشه متمم Q نیست. (وقتی پیش تنظیم و پاک کردن هر دو 0 باشند، Q و Q−not به 1 می‌روند.

تکمیل آزمایش ۹ (بخش ۹-۱۱)

در آزمایش سخت‌افزاری، از شما خواسته شد تا یک مدار ترتیبی با نمودار حالت شکل ۱۴-۱۱ طراحی و تست کنید. این مدار به نام مدار ترتیبی مدول میلی خوانده می‌شود و مشابه با توصیف HDL مثال ۵-۵ (بخش ۵-۵) است.
(الف) توصیف HDL نمودار حالت شکل ۱۴-۱۱ را بنویسید.
(ب) توصیف ساختاری HDL مدار ترتیبی حاصل از طرح را بنویسید (این مشابه مثال ۷-۵ HDL در بخش ۵-۵ است).

(پ) شکل ۲۴-۱۱ (ب) (بخش ۱۷-۱۱) یک نمودار حالت کنترلی را نشان می‌دهد.

توصیف HDL نمودار حالت را با استفاده از تخصیص دودویی 1 - بارز (جدول ۹-۵ در بخش ۶-۵ ملاحظه شود)، به همراه سه خروجی T_1، T_2 و T_3 بنویسید.

تکمیل آزمایش ۱۰ (بخش ۱۰-۱۱)

آی‌سی شمارنده همزمان با بار شدن موازی 74161، در شکل ۱۵-۱۱ ملاحظه شد. با دو اختلاف، این شکل مشابه مثال ۳-۶ HDL در بخش ۶-۶ است. ورودی بارکردن وقتی 0 شود فعال می‌گردد و دو ورودی P و T وجود دارند که شمارش را کنترل می‌کنند. توصیف HDL آی‌سی 74161 را بنویسید.

تکمیل آزمایش ۱۱ (بخش ۱۱-۱۱)

یک شیفت رجیستر دو طرفه با بار شدن موازی با استفاده از آی‌سی‌های نوع 74195 و 74157 طراحی گردید.

(الف) توصیف HDL شیفت رجیستر 74195 را بنویسید. فرض کنید که ورودی‌های J و $\bar{K}$ به هم وصل شده‌اند تا ورودی سریال را به وجود آورند.

(ب) توصیف HDL مولتی پلکسر 74157 را بنویسید.

(پ) توصیف HDL شیفت رجیستر چهار بیت طراحی شده در آزمایش را بدست آورید.

(۱) توصیف ساختاری را با ذکر دو آی‌سی بنویسید و اتصالات داخلی آنها را مشخص نمایید، و

(۲) توصیف رفتاری مدار را با استفاده از جدول تابعی که در آزمایش بدست آمده، بنویسید.

تکمیل آزمایش ۱۳ (بخش ۱۳-۱۱)

این آزمایش عملکرد حافظه RAM را بررسی می‌کند. روش توصیف یک حافظه در HDL در بخش ۲-۷ به همراه مثال ۱-۷ HDL توضیح داده شد.

(الف) توصیف HDL یک حافظه 74189 RAM شکل ۱۸-۱۱ را بنویسید.

(ب) عملکرد حافظه را با نوشتن برنامه محرک که عدد 3 را در آدرس 0 و عدد دودویی 1 را در آدرس 14 بنویسد تست‌کنید. آنگاه اعداد ذخیره‌شده را از دو آدرس بخوانید و ببینید آیا صحیح ذخیره شده‌اند.

تکمیل آزمایش ۱۴ (بخش ۱۴-۱۱)

توصیف رفتاری HDL شیفت رجیستر دو طرفه 74194 را با بارشدن موازی مطابق شکل ۱۹-۱۱ بنویسید.

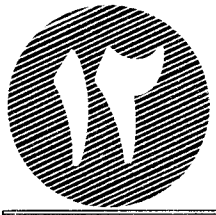
تکمیل آزمایش ۱۶ (بخش ۱۶-۱۱)

یک جمع‌کننده با ثبات انباره خود و یک واحد حافظه در شکل ۲۳-۱۱ ملاحظه شد. توصیف

ساختاری مدار مشخص شده در شکل را بنویسید. توصیف ساختاری این مدار را می‌توان با ذکر قطعات مختلف بدست آورد. به عنوان مثالی از یک توصیف ساختاری به مثال ۴-۸ در بخش ۵-۸ مراجعه شود. ابتدا لازم است توصیف رفتاری هر دو قطعه نوشته شود. شمارنده 74161 را به عوض 7493 به کار ببرید و فلیپ فلاپ 7474 را به جای فلیپ فلاپ *JK* 7476 استفاده کنید. نمودار بلوکی قطعات مختلف را از جدول ۱-۱۱ تهیه کنید.

تکمیل آزمایش ۱۷ (بخش ۱۷-۱۱)

نمودار بلوکی یک ضرب کننده دودویی 4 بیت در شکل ۲۴-۱۱ ملاحظه می‌شود. ضرب کننده به دو صورت توصیف می‌گردد: (۱) با عبارات سطح انتقالی ثباتی لیست شده در بخش (ب) شکل یا (۲) با استفاده از نمودار بلوکی در بخش (الف) آن. توصیف ضرب کننده برحسب قالب سطح انتقال ثباتی (RTL) در مثال ۵-۸ HDL (بخش ۵-۸) انجام گرفت. در این آزمایش از اجزاء مدار مجتمع مشخص شده در نمودار بلوکی استفاده خواهیم کرد تا توصیف ساختاری آزمایش ضرب کننده دودویی را بنویسیم. توصیف ساختاری با استفاده از توصیف مدول هر قطعه و سپس ذکر آنها برای نمایش ارتباط درونی آنها بدست می‌آید. (بخش ۵-۸ ملاحظه گردد). توصیف HDL قطعات را از آزمایش‌های قبلی هم می‌توان بدست آورد. 7483 در حل آزمایش ۷ (الف)، 7474 در آزمایش ۸ (الف)، 74161 با آزمایش ۱۰، 74194 با آزمایش ۱۴ و توصیف کنترل از حل آزمایش ۹ (پ) بدست می‌آید.



سمبل‌های گرافیکی استاندارد

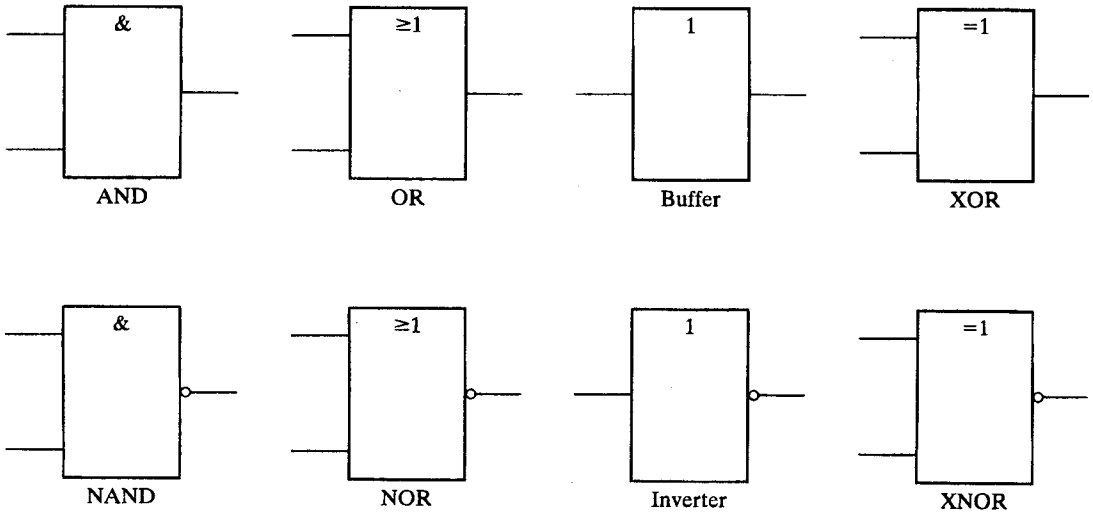
۱۲-۱ سمبل‌های مستطیلی شکل

قطعات دیجیتال مانند گیت‌ها، دیکدرها، مولتی پلکسرها و ثبات‌ها به صورت مدارهای مجتمع در بازار موجود بوده و به مدارات SSI و MSI دسته‌بندی می‌شوند. سمبل‌های گرافیکی استاندارد برای این قطعات و قطعات دیگر چنان تهیه شده است که کاربر با سمبل تخصیص یافته منحصر به فردش به راحتی آن را تشخیص می‌دهد. این استاندارد که ANSI/IEEE Std 91-1984 خوانده می‌شود به وسیله صنایع، دولت‌ها و سازمان‌های حرفه‌ای تأیید شده و سازگار با استانداردهای جهانی است.

این استاندارد، یک طرح مستطیلی شکل را برای نمایش هر تابع منطقی خاص به کار می‌برد. درداخل شکل، یک سمبل توصیفی کلی که بیانگر عمل قطعه است، وجود دارد. به عنوان مثال، سمبل توصیف کلی برای مولتی پلکسر MUX است. سایز طرح اختیاری است و می‌تواند مربع یا مستطیلی شکل با نسبت طول- عرض دلخواه باشد. خطوط ورودی در سمت چپ و خروجی‌ها در سمت راست قرار می‌گیرند. اگر جهت جریان سیگنال معکوس گردد، باید با فلش معین شود.

سمبل‌های مستطیلی برای گیت‌های SSI در شکل ۱-۱۲ نشان داده شده‌اند. سمبل مصوب برای گیت AND یک امپرسند (&) است. گیت OR سمبل مصوب بزرگتر یا مساوی 1 (1 ≥) را داراست، و به این معنی است که برای فعال بودن خروجی حداقل یک ورودی فعال لازم است. سمبل گیت بافر 1 است، و به این معنی است که در آن تنها 1 ورودی وجود دارد سمبل XOR این واقعیت را بیان می‌کند که برای فعال بودن خروجی، یک ورودی باید فعال باشد. لحاظ سمبل‌های نفی دایروی در خروجی، گیت‌ها را به مقادیر متمم تبدیل می‌نمایند. گرچه به گیت‌ها سمبل‌های مستطیلی شکل پیشنهاد شده است، ولی این استاندارد دیگر شکل‌های شاخص را هم، طبق شکل ۵-۲، برای گیت‌ها می‌پذیرد.

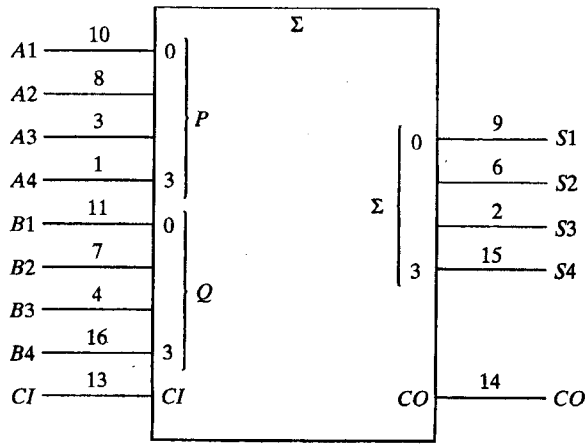
مثالی از یک سمبل گرافیک استاندارد MSI جمع‌کننده 4 بیت شکل ۲-۱۲ است. سمبل مصوب



شکل ۱-۱۲ . سمبل‌های گرافیکی مستطیلی گیت‌ها

برای یک جمع کننده حرف یونانی جمع، Σ است. حروف ارجح برای اعمال حسابی، P و Q هستند. سمبل‌های بیتی گروه‌بندی شده در ورودی و حاصل جمع خروجی مقادیر دهدهی معادل با وزن بیت‌ها با توانی از 2 است. بنابراین ورودی 3 مربوط به مقدار $8 = 2^3$ می‌باشد.

نقلی ورودی با CI و نقلی خروجی با CO مشخص شده است. اگر قطعات دیجیتال با طرح مدارهای تجاری نشان داده شوند، معمولاً پایه IC را در امتداد هر ورودی و خروجی می‌نویسند. بنابراین آی‌سی 7483 یک جمع کننده 4 بیت با نقلی پیش‌بینی شونده است. این آی‌سی در یک بسته 16 پایه محصور است شماره پایه‌ها برای 9 ورودی و پنج خروجی در شکل ۲-۱۲ دیده می‌شود. دو پایه دیگر مربوط به منبع تغذیه است.

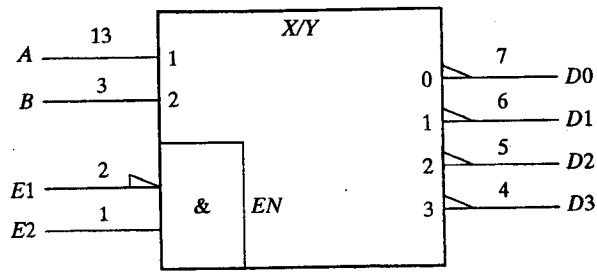


شکل ۲-۱۲ . سمبل گرافیکی استاندارد برای جمع کننده موازی چهار بیتی، آی سی 7483

قبل از معرفی سمبل‌های گرافیکی برای دیگر قطعات، لازم است بعضی از تکنولوژی‌ها مرور شوند. همانطور که در بخش ۷-۲ ذکر شد، یک سیستم منطقی مثبت، سطح مثبت‌تر سیگنال را به عنوان منطق 1 (با H نشان می‌دهد) و سطح منفی‌تر آن را با منطق 0، (L) نشان می‌دهد. قرارداد منطقی منفی سیگنال‌ها همه برحسب مقادیر H و L بیان می‌گردند. در هر نقطه از مدار، کاربر مجاز به تعریف منطق قبلی با تخصیص منطق 1 به هر یک از دو سیگنال H و L است. قرارداد منطق مختلط از یک علامت مثلث برای بیان یک قطبیت منطق منفی در هر ورودی یا خروجی است، شکل ۱۰-۲ (ج).

سازندگان مدارهای مجتمع عملکرد مدار را برحسب سیگنال‌های H و L بیان می‌کنند. وقتی که یک ورودی یا خروجی برحسب منطق مثبت بررسی گردد، به عنوان فعال بالا تعریف می‌شود. در منطق منفی، به صورت فعال پایین تعریف خواهد شد. در نمودارها ورودی‌ها یا خروجی‌های فعال پایین، با دایره کوچکی در محل پایانه نشان داده می‌شود. به هنگام استفاده از منطق مثبت در تمام سیستم، سمبل قطبیت منفی معادل با دایره کوچکی است که نفی را مشخص می‌کند. در این کتاب کلاً منطق مثبت به کار رفته است و هنگام رسم نمودار منطقی از دایره استفاده خواهد شد. اگر یک ورودی یا یک خروجی دایره نداشته باشد، آن را هنگامی فعال خواهیم خواند که در منطق 1 باشد. اگر یک ورودی یا یک خروجی دایره داشته باشد فعال بودن آن با منطق 0 است. با این وجود، ما سمبل قطبیت مثلثی را در همه نمودارهای استاندارد به کار خواهیم برد. این، با کتب داده‌های مدارات مجتمع که معمولاً در آنها سمبل قطبیت به کار می‌رود تطابق دارد. توجه کنید که چهارگیت پایین در شکل ۱-۱۲ می‌توانست با مثلث‌های کوچک به عوض دایره، در خطوط خروجی ترسیم گردد.

مثال دیگری برای سمبل‌های گرافیکی یک مدار MSI در شکل ۳-۱۲ ملاحظه می‌شود. این مدار یک دیکدر 2 به 4 است که نصف آی‌سی 74155 را نشان می‌دهد، ورودی‌ها در سمت چپ و خروجی‌ها در سمت راست هستند. سمبل نشانه X/Y به معنی مداری است که کد X را به کد Y تبدیل می‌نماید. به ورودی‌های A و B که وزن‌های 1 و 2 تخصیص داده شده و به ترتیب معادل 2^0 و 2^1 است. به خروجی‌ها اعداد 0 تا 3 تخصیص داده شده، که مربوط به خروجی‌های D_0 تا D_3 می‌باشد. دیکدر دارای یک وزن فعال پایین E_1 و یک ورودی فعال بالای E_2 است. این دو ورودی از یک گیت AND درونی می‌گذرند. خروجی گیت AND با EN (به معنی فعال) علامت خورده و وقتی E_1 در سطح پایین و E_2 در سطح بالا باشد، مدار فعال خواهد شد.



شکل ۳-۱۲ . سمبل گرافیکی استاندارد برای یک دیکدر 2 به 4 (نیمی از آی سی 74155)

۱۲-۲ سمبل‌های مصوب

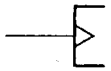
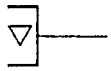
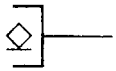
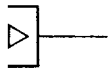
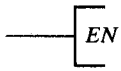
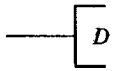
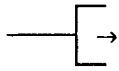
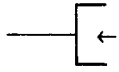
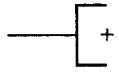
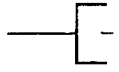
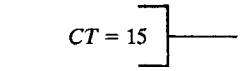
سمبل‌های گرافیکی استاندارد IEEE برای توابع منطقی، لیستی از سمبل‌های مصوبی را ارائه داده‌اند که به همراه طرح به کار می‌روند. یک سمبل مصوب برای نمایش مشخصه کلی یک قطعه یا مشخصات فیزیکی یک ورودی یا خروجی به طرح اولیه اضافه می‌گردد. جدول ۱-۱۲ بعضی از سمبل‌های مصوب استاندارد را لیست نموده است. یک سمبل مصوب جنرال، تابعی که به وسیله قطعه در نمودار اجرا می‌شود را تعریف می‌کند. این سمبل در وسط بالای طرح مستطیل شکل قرار می‌گیرد. سمبل‌های مصوب جنرال برای گیت، دیکدر و جمع کننده در نمودارهای قبلی نشان داده شدند. دیگر سمبل‌ها خود تشریح‌اند و بعد در نمایش عناصر دیجیتال مربوطه به کار خواهند رفت.

بعضی از سمبل‌های مصوب مربوط به ورودی‌ها و خروجی‌ها در شکل ۴-۱۲ نشان داده شده‌اند. سمبل‌های مربوط به ورودی‌ها در سمت چپ ستون سمبل قرار دارند. سمبل‌های مربوط به خروجی در سمت راست ستون واقعند. ورودی یا خروجی فعال پایین همان نشانگر قطبیت (پلاریته) است. همانطور که قبلاً ذکر شد، به هنگام فرض منطق مثبت، این علامت به معنی منفی منطقی است. در ورودی پالس ساعت فلیپ فلاپ از علامت ورودی دینامیکی استفاده شده است. این علامت بیانگر این حقیقت است که ورودی در یک گذر پایین به بالای سیگنال فعال می‌شود. وقتی که مدار فعال شود، خروجی در حالت منطقی معمولی 0 یا 1 است، ولی وقتی که مدار غیرفعال شود، خروجی سه حالته در حالت امپدانس بالاست. این حالت معادل با یک مدار باز است.

خروجی کلکتور باز دارای حالتی است که در آن حالت امپدانس بالا را به نمایش می‌گذارد. گاهی

جدول ۱-۱۲ . سمبل‌های توصیفی عمومی

توصیف	سمبل
گیت یا تابع AND	&
گیت یا تابع OR	≥1
گیت بافر یا معکوس کننده	1
گیت یا تابع OR انحصاری	=1
تابع زوج یا عنصر توازن زوج	2k
تابع فرد یا عنصر توازن فرد	2k + 1
کدر، دیکدر یا مبدل کد	X/Y
مولتی پلکسر	MUX
دی مولتی پلکسر	DMUX
جمع کننده	Σ
ضرب کننده	Π
مقایسه گر مقدار	COMP
واحد ریاضی منطقی	ALU
شیفت رجیستر	SRG
شمارنده	CTR
شمارنده موج گونه	RCTR
حافظه فقط خواندنی	ROM
حافظه با دستیابی تصادفی	RAM

توصیف	سمبل
ورودی یا خروجی فعال پایین	
ورودی یا خروجی منفی شده	
نشانه ورودی دینامیکی	
خروجی سه حالته شکل (۱۶-۱۰)	
خروجی کلکتور باز، شکل (۱۲-۱۰)	
خروجی با تقویت خاص	
ورودی توانا ساز	
ورودی داده به عنصر ذخیره کننده	
ورودی‌های فلیپ فلاپ	
شیفت به راست	
شیفت به چپ	
شمارش بالا	
شمارش پایین	
محتویات ثبات برابر 15 دودویی است	

شکل ۴-۱۲ . سمبل‌های توصیفی مرتبط با ورودی‌ها و خروجی‌ها

اوقات لازم است برای تولید یک سطح منطقی صحیح یک مقاومت بیرونی به آن متصل شود. سمبل لوزی شکل که گاهی در بالا (برای انواع بالا) و یا در پایین (برای نوع پایین) خط بار دارد، برای این نوع

مدارها به کار می‌رود. نوع بالا و یا پایین سطحی را مشخص می‌کند که خروجی در آن هنگام در حالت امپدانس بالا نیست. مثلاً، مدارهای مجتمع نوع TTL خروجی‌های خاصی به نام خروجی‌های کلکتور باز دارند. این خروجی‌ها با علامت لوزی و یک خط در زیر آن مشخص می‌شوند. سمبل به این معنی است که خروجی می‌تواند در یکی از دو حالت امپدانس بالا و یا سطح منطقی پایین قرار داشته باشد.

وقتی که به عنوان تابع توزیع به کار رود، اتصال دو یا چند تابع NAND کلکتور باز به یک مقاومت مشترک یک تابع AND با منطق مثبت یا یک تابع OR با منطق منفی را اجرا خواهد کرد.

خروجی‌ها که به میزان خاصی تقویت شده باشند در راه‌اندازی گیت‌هایی به کار می‌روند که قرار است قابلیت راه‌اندازی خاصی را دارا باشند. این گیت‌ها در عناصری مانند راه‌اندازی‌های ساعت و یا در فرستنده‌های مبتنی بر گذرگاه استفاده می‌شوند. سمبل EN یک ورودی فعال‌ساز را بیانگر است و هرگاه این ورودی فعال شود همه خروجی‌ها فعال خواهند شد. هرگاه EN غیرفعال باشد، تمام خروجی‌ها غیرفعال می‌گردند. سمبل‌های ورودی فلیپ فلاپ‌ها هم دارای مفهوم می‌باشند. ورودی D به عناصر ذخیره‌ساز دیگری مانند ورودی حافظه هم متعلق است.

سمبل جابجایی به راست و چپ به ترتیب فلش‌هایی به راست و چپ می‌باشند. سمبل‌های شمارش بالا و شمارش پایین، به ترتیب سمبل‌های بعلاوه و منها هستند. یک خروجی که با $CT = 15$ مشخص شده هنگامی فعال می‌گردد که محتوای ثبات به عدد 15 برسد. وقتی که اطلاعات غیراستاندارد در داخل طرح نشان داده شود در داخل کروشه از عبارات [مانند این] استفاده می‌گردد.

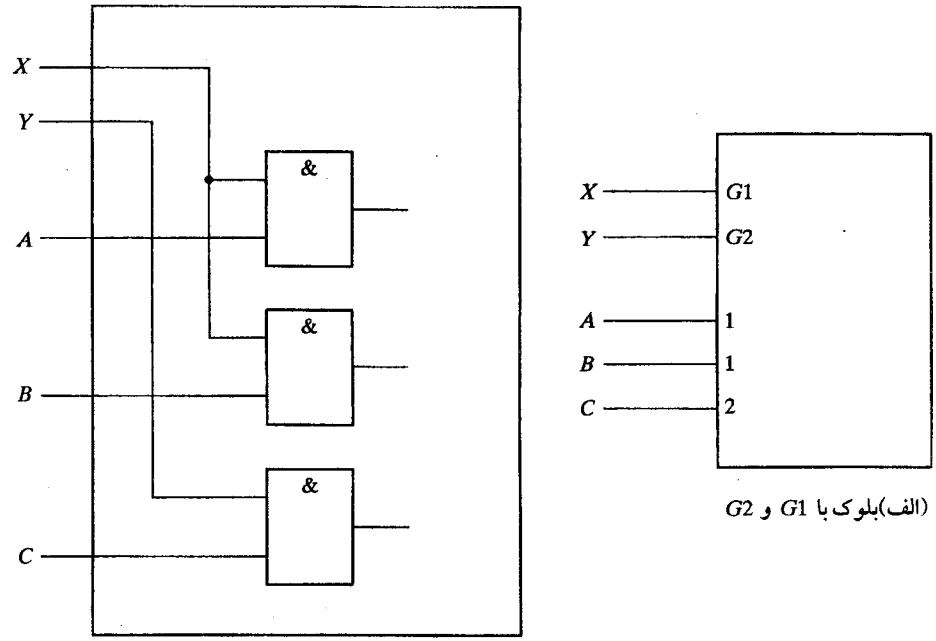
۱۲-۳ نشانه وابستگی

مهمترین مفهوم سمبل‌های منطقی استاندارد، نشانه وابستگی یا همبستگی آنهاست. نشانه وابستگی برای تهیه مفهوم ارتباط بین ورودی‌ها و خروجی‌های مختلف بدون ذکر اتصالات داخلی آنها به کار می‌رود. ما ابتدا نشانه وابستگی را با یک مثال از وابستگی AND نشان می‌دهیم و سپس همه سمبل‌های دیگر مربوط به این نشانه تعریف خواهند شد.

وابستگی AND با حرف G و به دنبال آن یک عدد نمایش داده می‌شود. هر ورودی یا خروجی در نمودار که با عدد مربوط به G علامت بخورد به معنی AND شدن با آن است. مثلاً، اگر یک ورودی در نمودار برچسب $G1$ و ورودی دیگری هم با عدد 1 برچسب بخورد، آنگاه دو ورودی $G1$ و 1 از نظر درونی AND تصور می‌شود.

مثالی از وابستگی AND در شکل ۵-۱۲ آمده است. در شکل (الف) ما بخشی از یک سمبل گرافیکی با دو برچسب وابستگی AND، یعنی $G1$ و $G2$ را داریم. دو ورودی با عدد 1 و یک ورودی با عدد 2 برچسب خورده‌اند. تفسیر معادل در بخش (ب) شکل مذکور آمده است. ورودی X مربوط به G_1 با ورودی‌های A و B که با شماره 1 برچسب خورده‌اند، AND شده‌اند. به طور مشابه ورودی Y با ورودی C، AND شده تا وابستگی بین $G2$ و 2 تحقق یابد.

استاندارد، 10 وابستگی دیگر را هم تعریف می‌کند. هر وابستگی به وسیله یک سمبل حرفی (به جز



(ب) تفسیر معادل

(الف)بلوک با $G1$ و $G2$

شکل ۵-۱۲ . مثالی از وابستگی G (AND)

EN) معین می‌گردد. حرف در ورودی یا خروجی نوشته شده و به دنبال آن یک عدد ذکر می‌گردد. هر ورودی یا خروجی که با آن وابستگی تحت تأثیر قرار گیرد با همان شماره برچسب می‌خورد. یازده وابستگی و حروف مربوط به آنها به قرار زیرند.

G	بیانگر یک رابطه AND است.
V	یک رابطه OR را نشان می‌دهد.
N	رابطه نفی (XOR) را بیانگر است.
EN	یک عمل فعال‌سازی را مشخص می‌نماید.
C	یک وابستگی کنترل را مشخص می‌کند.
S	عمل 1 شدن را بیان می‌کند.
R	عمل 0 شدن را مشخص می‌نماید.
M	یک وابستگی حالت را نشان می‌دهد.
A	وابستگی آدرس را بیان می‌کند.
Z	اتصالات درونی را بیان می‌دارد.
X	انتقال کنترل شده را مشخص می‌کند.

وابستگی‌های V و N برای بیان روابط بولی OR و XOR، مشابه با G برای AND، به کار می‌روند. وابستگی EN مشابه سمبل مصوب EN است با این تفاوت که یک عدد به دنبال آن می‌آید (مثلاً $EN2$). اگر EN فعال شود تنها خروجی مرتبط با آن فعال می‌گردد.

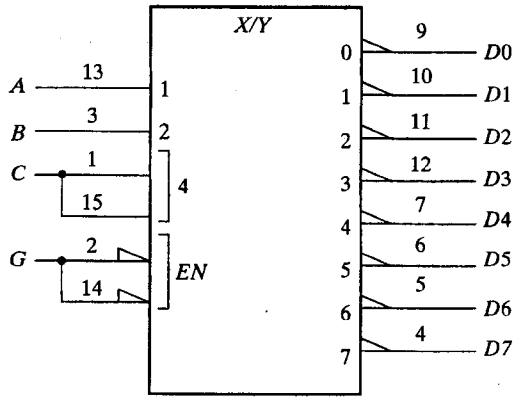
وابستگی کنترل C برای تشخیص یک ورودی ساعت در مدار ترتیبی به کار می‌رود و مشخص کننده ورودی کنترل شده با آن است. وابستگی‌های نشاندن S و بازنشانی R برای مشخص کردن حالات منطقی درونی فلیپ فلاپ SR استفاده می‌شوند. وابستگی‌های C، S و R در بخش ۵-۱۲ همراه با مدار فلیپ فلاپ توضیح داده شده‌اند. وابستگی M برای شناسایی ورودی‌هایی که حالت عملیات واحد را انتخاب می‌کنند به کار می‌رود. وابستگی حالت در بخش ۶-۱۲ به همراه ثبات‌ها و شمارنده‌ها ارائه شده است. وابستگی آدرس برای شناسایی ورودی آدرس یک حافظه است. بحث مربوط به آن در بخش ۸-۱۲ همراه با واحد حافظه آمده است.

وابستگی Z برای شناسایی اتصالات درونی قطعه است. این وابستگی وجود اتصالات درونی منطقی بین ورودی‌ها، خروجی‌ها، ورودی‌های داخلی و خروجی‌های داخلی در هر ترکیب را مشخص می‌نماید. وابستگی X برای مشخص کردن مسیر انتقال کنترل شده در یک گیت انتقال مورد استفاده قرار می‌گیرد.

۱۲-۴ سمبل‌های عناصر ترکیبی

مثال‌های این بخش و بقیه فصول کاربرد استاندارد در نمایش انواع عناصر دیجیتال با سمبل‌های گرافیکی را تشریح می‌نماید. مثال‌ها مدارهای مجتمع تجاری واقعی را با شماره پایه‌ها در ورودی‌ها و خروجی شامل می‌شود. اغلب آی‌سی‌های معرفی شده در این فصل شامل عناصری هستند که در آزمایشات فصل ۱۱ مطرح شدند.

سمبل‌های گرافیکی برای جمع کننده دیکدر در بخش ۲-۱۲ نشان داده شدند. آی‌سی 74155 مطابق شکل ۶-۱۲ قابل اتصال به صورت یک دیکدر 8 × 3 است. (جدول درستی این دیکدر در شکل ۷-۱۱ نشان داده شد.) در این آی‌سی دو عدد ورودی C و دود عدد ورودی G وجود دارد. مطابق نمودار، هر



شکل ۶-۱۲ . آی سی 74155 بعنوان یک دیکدر 3×8

جفت باید به یکدیگر وصل شوند. ورودی فعال‌ساز در حالت سطح پایین فعال می‌گردد. خروجی‌ها همگی فعال پایین هستند. به ورودی‌ها وزن 1، 2 و 4 به ترتیب معادل با 2^0، 2^1 و 2^2 تخصیص یافته است. به خروجی‌ها شماره‌های 0 تا 7 اختصاص داده شده است. جمع اوزان ورودی‌ها خروجی فعال را مشخص می‌سازد. بنابراین اگر دو خط ورودی با اوزان 1 و 4 فعال باشند وزن کل $5 = 4 + 1$ شده و خروجی 5 فعال می‌گردد. البته ورودی *EN* برای هر خروجی باید فعال باشد.

دیکدر نوع خاصی از یک مدار به نام کدر (کد ساز) است. یک کدر قطعه‌ای است که یک کد دودویی را از طریق تعدادی ورودی دریافت نموده و کد دودویی متفاوتی را در تعدادی خروجی تولید می‌نماید. به جای استفاده از سمبل مصوب *X/Y*، کدر را می‌توان با نام کد مشخص کرد. مثلاً، یک دیکدر 8×3 در شکل ۶-۱۲ را می‌توان با نام *BIN/OCT* نام‌گذاری کرد چون مدار یک عدد دودویی 3 بیت را به یک عدد مبنای 8 از 0 تا 7 تبدیل می‌کند.

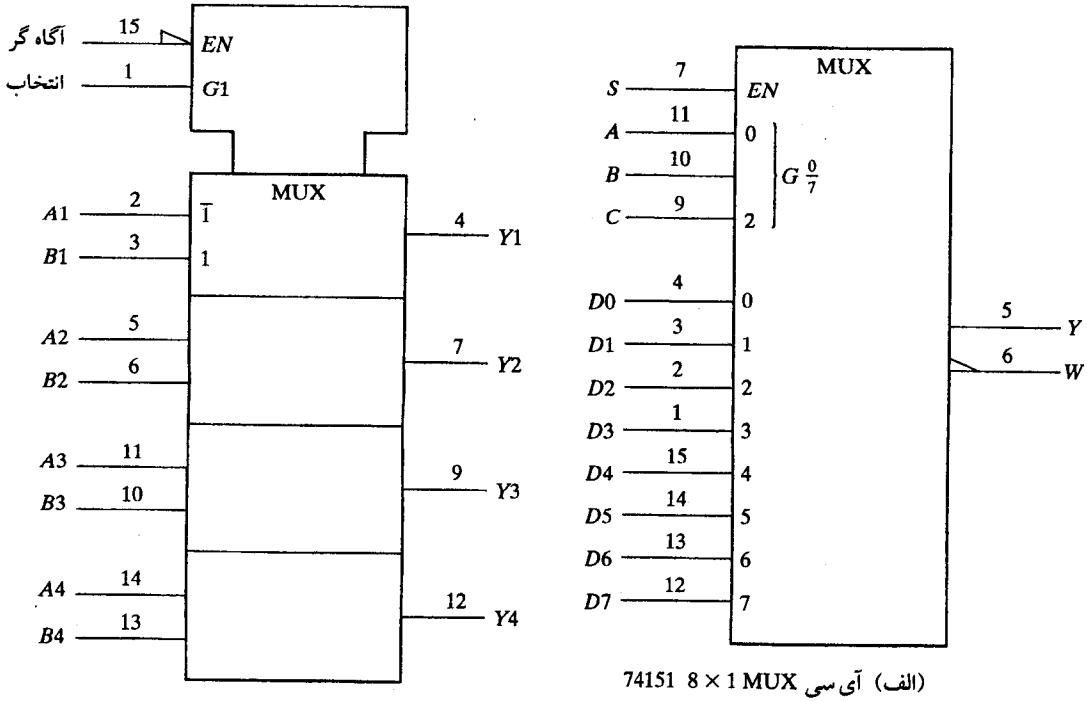
قبل از نمایش سمبل گرافیکی مولتی پلکسر، لازم است تا تغییری از وابستگی AND را نشان دهیم. وابستگی AND گاهی به صورت خلاصه‌تر $G\frac{0}{7}$ نشان داده می‌شود. این سمبل به معنی هشت سمبل وابستگی از 0 تا 7 مطابق زیر است.

$$G0, G1, G2, G3, G4, G5, G6, G7$$

در هر لحظه از زمان، فقط یکی از هشت گیت AND می‌تواند فعال باشد. گیت AND فعال از ورودی‌های مربوط به سمبل G مشخص می‌شود. این ورودی‌ها با اوزانی از توان 2 علامت زده شده‌اند. برای هشت گیت AND فوق، اوزان 0، 1 و 2 به ترتیب متعلق به 2^0، 2^1 و 2^2 می‌باشد. گیت AND فعال در هر لحظه از جمع اوزان ورودی‌های فعال بدست می‌آید. بنابراین اگر ورودی‌های 0 و 2 فعال باشند، گیت AND فعال برابر است با $2^0 + 2^2 = 5$. در نتیجه $G5$ فعال و هفت گیت AND دیگر غیرفعال خواهند بود.

سمبل گرافیکی استاندارد برای یک مولتی پلکسر 1×8 در شکل ۷-۱۲ (الف) نشان داده شده است. سمبل درون بلوک‌ها بخشی از قرارداد استاندارد است، ولی سمبل‌های بیرونی، سمبل‌های تعریف شده به وسیله کاربرند. جدول تابع آی‌سی 741551 در شکل ۹-۱۱ ارائه شد. وابستگی AND با $G\frac{0}{7}$ علامت خورده است. در واقع آنها همان ورودی‌های انتخاب‌اند. هشت ورودی داده با اعداد 0 تا 7 مشخص شده‌اند. وصل کل ورودی‌های فعال مربوط به سمبل G عدد موجود در روی خط داده فعال را معین می‌نماید. مثلاً اگر ورودی‌های انتخا[illegible] $CBA = 1$[illegible] باشد، آنگاه ورودی 1 و 2 مربوط به G فعالند. این نیز مقدار عدد $2^2 + 2^1 = 6$ را برای وابستگی AND بدست می‌دهد، که در نتیجه $G6$ فعال خواهد شد. چون $G6$ ورودی داده شماره 6 با یکدیگر AND شده‌اند، این ورودی را فعال خواهد کرد. بنابراین، به شرطی که ورودی فعال‌ساز، فعال باشد، خروجی با ورودی داده D_6 برابر خواهد بود.

شکل ۷-۱۲ (ب) آی‌سی مولتی پلکسر 1×2 نوع 74157 را نشان می‌دهد که جدول تابع آن در شکل ۱۷-۱۱ مشاهده شد. ورودی‌های انتخاب و فعال‌ساز برای هر چهار مولتی پلکسر مشترک‌اند. این اشتراک در نشان‌گذاری استاندارد با چهار گوشه فرو برده شده در قسمت بالای نمودار دیده می‌شود که



(ب) آی سی 74157 ، چهارتایی 2 × 1 MUX

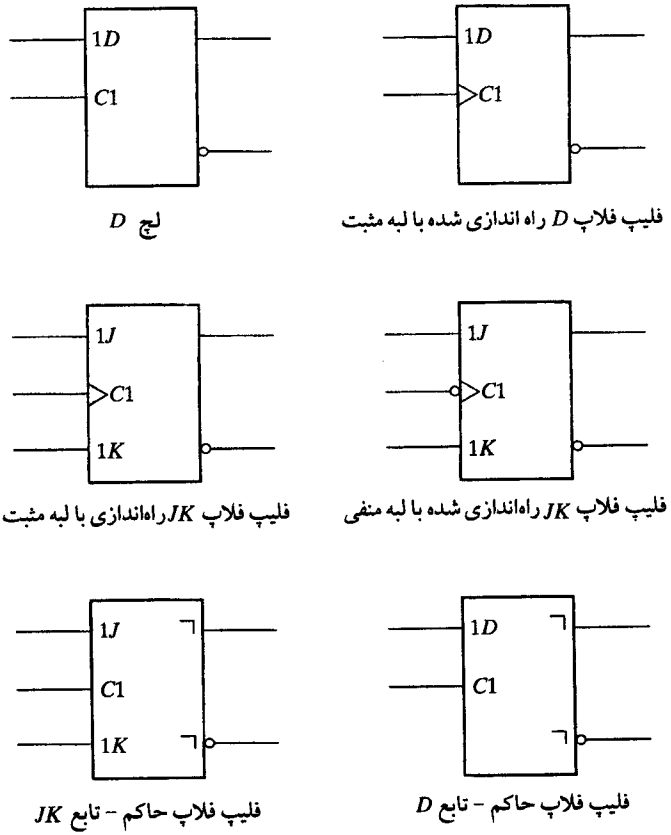
(الف) آی سی 74151 8 × 1 MUX

شکل ۷-۱۲ . سمبل‌های گرافیکی برای مولتی پلکسرها

بیانگر یک بلوک کنترل مشترک است. ورودی‌ها به بلوک کنترل مشترک کلیه قسمت‌های پایین نمودار را کنترل می‌نمایند. وقتی که ورودی فعال‌ساز مشترک EN در سطح پایین باشد، فعال خواهد بود. وابستگی AND مربوط به $G1$ معین کننده ورودی فعال در هر بخش از مولتی پلکسر است. وقتی $G1 = 0$ باشد، ورودی‌های A که با $\overline{1}$ علامت زده شده‌اند فعال می‌گردند. وقتی $G1 = 0$ است ورودی‌های B که با 1 نشانگذاری شده‌اند فعال خواهند بود. اگر EN فعال باشد ورودی‌های فعال نیز به خروجی‌های مربوطه خود متصل می‌شوند. توجه کنید که سمبل‌های $\overline{1}$ و 1 در عوض تکرار در هر بخش فقط در قسمت فوقانی نوشته شده‌اند.

۱۲-۵ سمبل فلیپ فلاپ‌ها

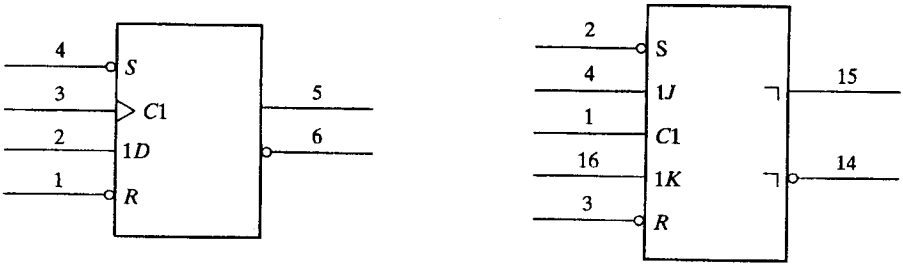
سمبل‌های گرافیک برای انواع متفاوت فلیپ فلاپ‌ها در شکل ۸-۱۲ دیده می‌شود. یک فلیپ فلاپ با یک بلوک مستطیل شکل، ورودی‌ها در سمت چپ و خروجی‌هایش در سمت راست نشان داده می‌شود. یکی از خروجی‌ها حالت معمولی فلیپ فلاپ و دیگری به همراه دایره کوچک منفی، متمم آن را نشان می‌دهد. سمبل‌های گرافیکی انواع فلیپ فلاپ‌ها را از یکدیگر جدا می‌کند: مثلاً ساختمان داخلی



شکل ۸-۱۲ ، سمبل گرافیکی استاندارد برای فلیپ فلاپ

لچ D در شکل ۵-۶ فلیپ فلاپ حاکم تابع در شکل ۹-۶؛ و فلیپ فلاپ حساس به لبه در شکل ۱۲-۶ دیده شدند. سمبل گرافیکی برای لچ D یا فلیپ فلاپ D دارای ورودی‌های D و C در داخل بلوک است. سمبل گرافیکی برای فلیپ فلاپ JK دارای ورودی‌های J و K و C در داخل است. علائم $C1$ ، $1D$ ، $1J$ و $1K$ مثال‌هایی از وابستگی کنترل است. ورودی $C1$ ، ورودی $1D$ را در فلیپ فلاپ D و ورودی‌های $1J$ و $1K$ را در فلیپ فلاپ JK کنترل می‌نماید.

لچ D در کنار $1D$ و $C1$ سمبل دیگری ندارد. فلیپ فلاپ حساس به لبه دارای سمبل فلش مانندی در جلو وابستگی کنترل $C1$ است تا یک ورودی دینامیک را معرفی نماید. سمبل شاخص دینامیکی بیانگر این نکته است که فلیپ فلاپ به یک گذر مثبت پالس‌های ساعت پاسخ می‌دهد. وجود دایره کوچک در بیرون بلوک و در امتداد شاخص دینامیک بیانگر گذر لبه منفی برای فلیپ فلاپ است. یک فلیپ فلاپ حاکم- تابع، حساس به پالس خوانده می‌شود و با یک L وارونه (⌐) در جلو خروجی‌ها نشان داده می‌شود. این بدان معنی است که خروجی سیگنال در لبه پایین رونده پالس تغییر حالت می‌دهد. توجه



(الف) نیمی از فلیپ فلاپ 7476 JK (ب) نیمی از فلیپ فلاپ 7474 D

شکل ۹-۱۲ . آی سی‌های فلیپ فلاپ

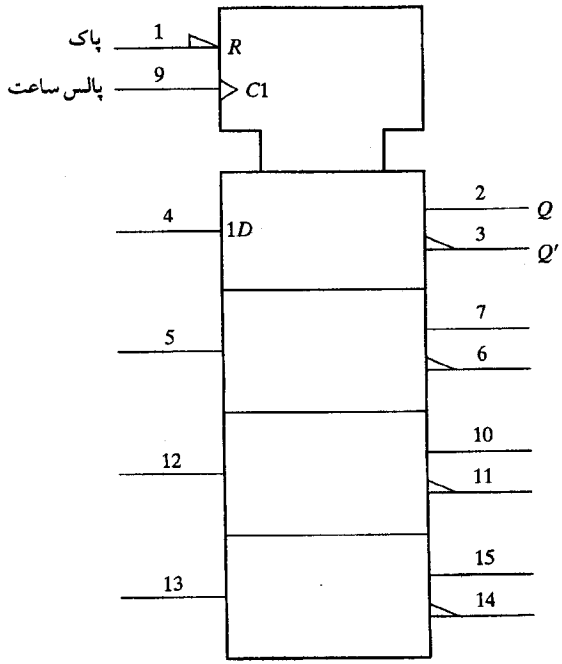
کنید که فلیپ فلاپ حاکم- تابع بدون شاخص دینامیکی ترسیم شده است.

فلیپ فلاپ‌های موجود در بسته‌های مدار مجتمع دارای ورودی‌های خاص برای نشاندن یا بازنشانی غیرهمزمانند. این ورودی‌ها را معمولاً ورودی‌های 1 شدن مستقیم و 0 شدن مستقیم می‌خوانند. آنها خروجی را بدون نیاز به پالس ساعت و در لبه منفی سیگنال تحت تأثیر قرار می‌دهند. سمبل گرافیکی فلیپ فلاپ حاکم- تابع نوع JK با ورودی‌های فوق‌الذکر در شکل ۹-۱۲ (الف) مشاهده می‌شود. علائم $C1$، $1J$ و $1K$ وابستگی کنترل را نشان می‌دهد، و به این معنی است که $C1$ ورودی‌های $1J$ و $1K$ را کنترل می‌کند. ورودی‌های S و R دارای دایره کوچکی در طول خطوط ورودی‌اند که این نشان دهنده فعال شدن آنها در سطح منطق 0 است. جدول تابع برای فلیپ فلاپ 7476 در شکل ۱۲-۱۱ ملاحظه می‌گردد.

سمبل گرافیکی یک فلیپ فلاپ D حساس به لبه مثبت با نشاندن و بازنشانی مستقیم در شکل ۹-۱۲ (ب) ملاحظه می‌شود. گذر مثبت ساعت در ورودی $C1$ ورودی $1D$ را کنترل می‌نماید. ورودی‌های S و R مستقل از ساعتند. این فلیپ فلاپ همان آی‌سی 7474 است که جدول تابع شکل ۱۳-۱۱ آورده شد.

۱۲-۶ سمبل ثبات‌ها

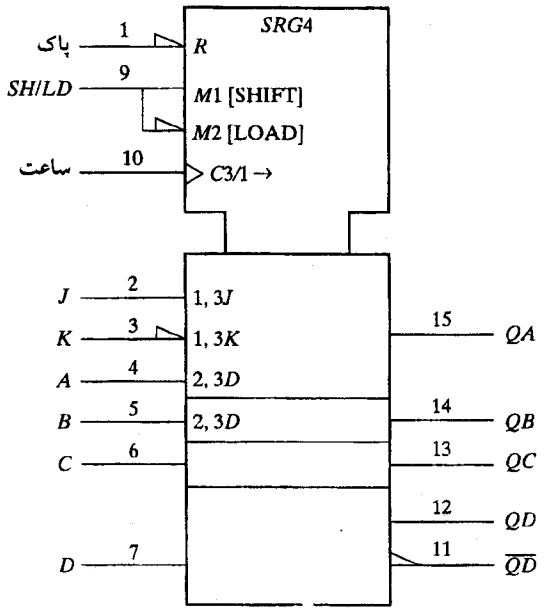
سمبل گرافیکی استاندارد برای یک ثبات معادل سمبل گروهی از فلیپ فلاپ‌ها با یک ورودی ساعت مشترک است. شکل ۱۰-۱۲ سمبل گرافیکی استاندارد برای آی‌سی 74175، شامل چهار فلیپ فلاپ D با ساعت و ورودی‌های پاک کردن مشترک، را نشان می‌دهد. ورودی‌های کنترل مشترک بلوک به هر عنصر در بخش‌های پایینی نمودار وصل است. $C1$ وابستگی کنترلی است که همه ورودی‌های $1D$ را کنترل می‌کند. بنابراین فلیپ فلاپ به وسیله یک ورودی ساعت مشترک تریگر می‌شود. سمبل ورودی دینامیکی مربوط به $C1$ بیانگر تریگر شدن فلیپ فلاپ در لبه مثبت پالس ساعت ورودی است. ورودی مشترک، وقتی در سطح پایین باشد، همه فلیپ فلاپ‌ها را پاک یا بازنشانی می‌کند. سمبل $1D$ به جای آن که در هر بخش تکرار شود فقط یک بار در بخش بالا قرار داده شده است. خروجی‌های متمم فلیپ



شکل ۱۰-۱۲ . سمبل گرافیکی برای ثبات چهار بیت، آی سی 74175

فلاپ‌ها در این نمودار با سمبل قطبیت در عوض نفی مشخص شده‌اند.

سمبل گرافیکی استاندارد برای یک شیفت رجیستر با بار شدن موازی در شکل ۱۱-۱۲ ملاحظه می‌شود. این سمبل یک آی‌سی 74195 است که جدول تابع آن در شکل ۱۶-۱۱ ملاحظه شد. سمبل

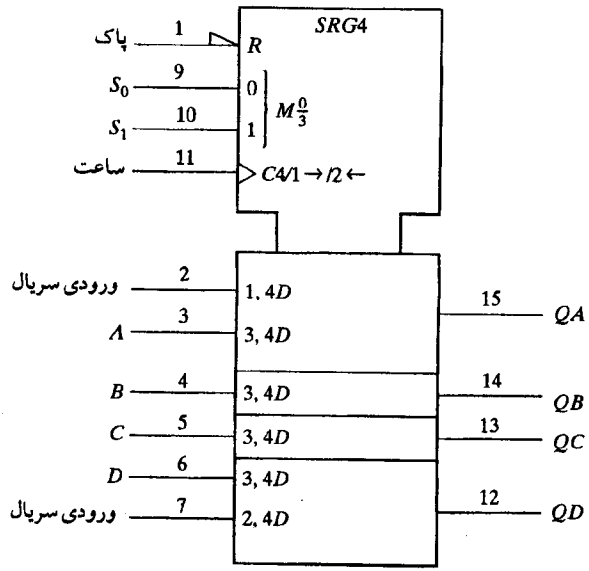


شکل ۱۱-۱۲ . سمبل گرافیکی یک شیفت رجیستر با بار کننده موازی، آی سی 74195

مصوب برای یک شیفت رجیستر SRG و به دنبال آن عددی است که تعداد طبقات آن را مشخص می‌کند. بنابراین $SRG4$ یک شیفت رجیستر 4 بیتی است. بلوک کنترل مشترک دارای دو حالت وابستگی $M1$ و $M2$ برای اعمال جابجایی و بارکردن است. توجه کنید که این آی‌سی دارای یک ورودی با برچسب SH/LD (بارکردن/ جابجایی) است که به دو بخش تقسیم شده تا دو حالت را نشان دهد. وقتی که ورودی SH/LD در سطح بالا باشد $M1$ فعال و وقتی SH/LD پایین باشد، $M2$ فعال خواهد بود. به این تخصیص سمبل توجه کنید: مشخص است که در واقع یک ورودی در پایه 9 وجود دارد ولی این ورودی به دو بخش تقسیم شده تا دو عدد $M1$ و $M2$ به آن اختصاص یابد. وابستگی کنترل $C3$ برای ورودی ساعت است. سمبل دینامیکی در برابر ورودی $C3$ به این معنی است که فلیپ فلاپ‌ها در لبه مثبت ساعت تریگر می‌شوند. سمبل →1/ که بعد از $C3$ آمده به این معنی است که عمل جابجایی به راست یا به سمت مقادیر پایین شکل با $M1$ فعال می‌شود.

چهار بخش زیر بلوک کنترل مشترک چهار فلیپ فلاپ را نشان می‌دهد. فلیپ فلاپ QA سه ورودی دارد: دو ورودی مربوط به عمل سریال (شیفت) و یکی متعلق به عمل موازی (بار شدن) است. ورودی سریال $1, 3J$ به معنی فعال بودن ورودی J از فلیپ فلاپ QA به هنگام فعال بودن $N1$ (جابجایی) و گذر مثبت ساعت در ورودی $C3$ است. ورودی سریال دیگر $3K$, 1 دارای سمبل قطبیت در ورودی K از فلیپ فلاپ JK می‌باشد. سومین ورودی QA و ورودی دیگر فلیپ فلاپ‌ها برای ورود موازی داده‌ها هستند. هر ورودی با $2, 3D$ مشخص شده است. عدد 2 برای $M2$ و عدد 3 برای ساعت $C3$ است. اگر ورودی در پایه شماره 9 در سطح پایین باشد، $M1$ فعال است و در این حال گذر مثبت ساعت در $C3$ یک انتقال موازی را از چهار ورودی A تا D به داخل فلیپ فلاپ‌ها $QD - QA$ موجب می‌شود. توجه دارید که بار شدن موازی فقط در بخش‌های اول و دوم مشخص شده است. فرض بر این است که در دو بخش پایین‌تر هم به همین منوال باشد.

شکل ۱۲-۱۲ سمبل گرافیکی را برای شیفت رجیستر دو طرفه با بار شدن موازی 74194 نشان



شکل ۱۲-۱۲ . سمبل گرافیکی برای یک شیفت رجیستر دو طرفه با بار شدن موازی، آی سی 74194

می‌دهد. جدول تابع برای این آی‌سی در شکل ۱۹-۱۱ لیست شده است. بلوک کنترل مشترک یک ورودی R را برای بازنشانی همه فلیپ فلاپ‌ها نشان می‌دهد. انتخاب حالت دارای دو ورودی است. حالت وابستگی M ممکن است مقادیر دودویی 0 تا 3 را بپذیرد. این قابلیت با $M\frac{0}{3}$ نشان داده شده است و به معنی $M0$، $M1$، $M2$ و $M3$ بوده و مشابه علامت‌گذاری برای وابستگی G در مولتی پلکسرها می‌باشد. سمبل مربوط به ساعت

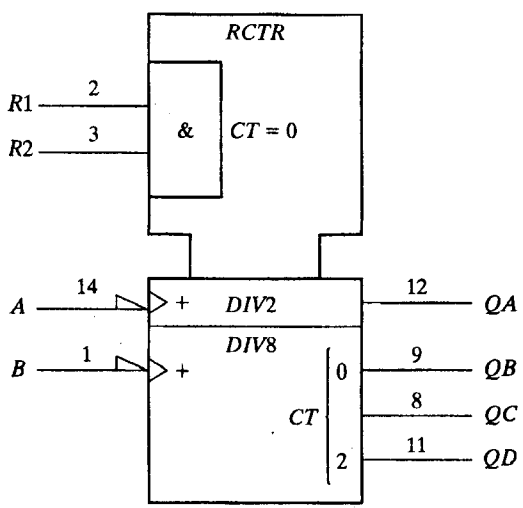
$$C4/1 \rightarrow \quad /2 \leftarrow$$

می‌باشد که $C4$ وابستگی کنترل برای ساعت است. سمبل → /1 به این معنی است که در حالت $M1$، ثبات به راست جابجا می‌شود (در این حالت رو به پایین). سمبل ← /2 به معنی جابجایی به چپ است (رو به بالا) و در این حالت مجموعه در حالت $M2$ ($S_1S_0 = 10$) قرار دارد. جهات چپ و راست را با چرخاندن صفحه به اندازه 90 درجه در خلاف عقربه‌های ساعت می‌توانید ملاحظه کنید.

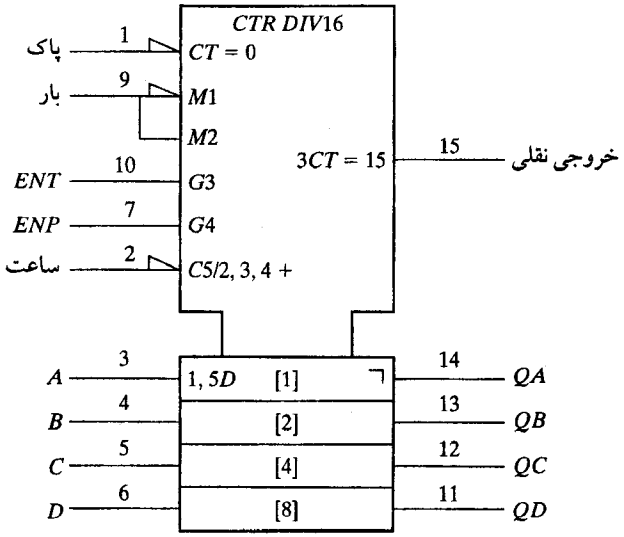
بخش‌های زیرین بلوک کنترل چهار فلیپ فلاپ را نشان می‌دهد. اولین فلیپ فلاپ دارای ورودی سریال به راست است که با $4D$, 1 ($M1$، ساعت $C4$، ورودی D) مشخص شده است. آخرین فلیپ فلاپ ورودی سریال به چپ را دارد که با $4D$, 2 ($M2$، ساعت $C4$، ورودی D) معرفی شده است. هر چهار فلیپ فلاپ دارای ورودی موازی‌اند که با $4D$, 3 نشان داده شده است (حالت $M3$، ساعت $C4$، ورودی D). بنابراین $M3$ ($S_1S_0 = 11$) برای بار کردن موازی است، حالت باقیمانده ($S_1S_0 = 00$) $M0$ تأثیری روی خروجی‌ها ندارد زیرا در برچسب ورودی‌ها لحاظ نشده است.

۱۲-۷ سمبل شمارنده‌ها

سمبل گرافیکی استاندارد برای یک شمارنده دودویی موج‌گونه در شکل ۱۳-۱۲ دیده می‌شود. سمبل مصوب برای یک شمارنده موج‌گونه $RCTR$ است. $DIV2$ به معنی مدار تقسیم بر 2 است و از



شکل ۱۳-۱۲. سمبل گرافیکی برای شمارنده موج‌گونه، آی سی 7493



شکل ۱۴-۱۲ . سمبل گرافیکی برای شمارنده دودویی چهار بیت با بار شدن موازی، آی سی 74161

یک فلیپ فلاپ QA بدست می‌آید. $DIV8$ به معنی شمارنده تقسیم بر 8 می‌باشد که از سه فلیپ فلاپ دیگر حاصل می‌گردد. نمودار، آی‌سی 7493 را نشان می‌دهد و مدار داخلی‌اش در شکل ۲-۱۱ مشاهده شد. بلوک کنترل مشترک یک AND درونی با ورودی‌های $R1$ و $R2$ دارد. وقتی که هر دو ورودی برابر 1 باشند محتوای شمارنده به سمت 0 می‌رود. این نکته با $CT = 0$ مشخص شده است. چون ورودی مورد شمارش به ورودی‌های ساعت همه فلیپ فلاپ‌ها نمی‌رود، دارای برچسب $C1$ نیست، و در عوض سمبل + برای شمارش رو به بالا به کار رفته است. سمبل دینامیک مجاور + همراه با سمبل قطبیت در امتداد خط ورودی به این معنی است که شمارش با گذر منفی سیگنال ورودی تحت تأثیر قرار می‌گیرد. گروه‌بندی 0 تا 2 در خروجی، ارزش توانی از 2 را مشخص می‌نماید. بنابراین 0 به معنی $2^0=1$ و 2 نمایشگر $2^2 = 4$ است.

سمبل گرافیکی استاندارد برای شمارنده 4 بیت با بار شدن موازی، آی‌سی 74161، در شکل ۱۴-۱۲ دیده می‌شود. سمبل مصوب برای شمارنده همزمان CTR و به دنبال آن $DIV16$ (تقسیم بر 16) است که طول سیکل شمارنده را بیان می‌نماید. یک ورودی بارکردن در پایه 9 دیده می‌شود که به دو حالت $M1$ و $M2$ تقسیم شده است. $M1$ هنگامی فعال است که ورودی پایه 9 در سطح پایین و $M2$ وقتی که ورودی بارکردن در پایه 9 بالاست، فعال می‌گردد. فعال بودن $M1$ در سطح پایین از شاخص پلاریته در طول خط ورودی مشخص است. ورودی‌های فعال‌ساز از وابستگی G استفاده می‌نمایند. $G3$ مربوط به ورودی فعال‌ساز T و $G4$ به فعال‌ساز P مربوط‌اند. برچسب مربوط به ساعت برابر زیر است

$$C5 / 2, 3, 4 +$$

و به این معنی است که مدار وقتی $M2$، $G3$ و $G4$ فعالند رو به بالا می‌شمارد (بار شدن = 1،

$ENT = 1$ و $ENP = 1$) و ساعت در $C5$ واردگذر منفی می‌گردد. این حالت در جدول تابع 74161 در شکل ۱۵-۱۱ مشخص شده است. ورودی‌های موازی برچسب $5D$,1 دارند و به این معنی است که وقتی $M1$ فعال است (بار شدن $= 0$) و ساعت از گذر مثبت عبور می‌کند ورودی‌های D فعال می‌شوند. نقلی خروجی با برچسب زیر معین می‌شود.

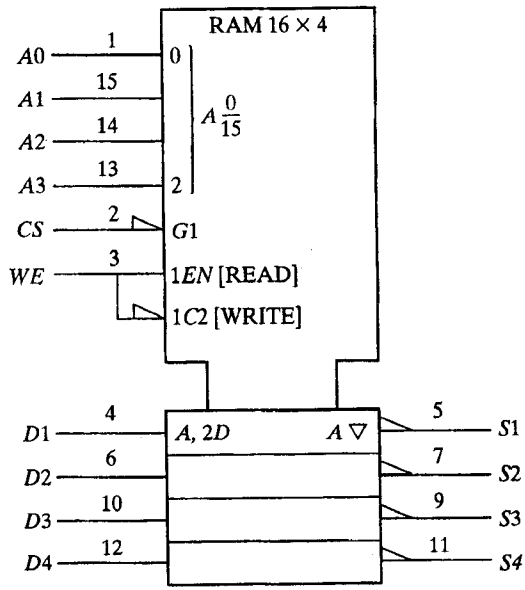
$$3CT = 15$$

تفسیر این است که نقلی خروجی به شرطی فعال است (برابر 1) که $G3$ فعال باشد ($ENT = 1$) و محتوای شمارنده (CT) 15 باشد (دودویی 1111). توجه کنید که خروجی‌ها سمبل L معکوس دارند، که به معنی حاکم- تابع بودن همه فلیپ فلاپ‌هاست. سمبل قطبیت ورودی $C5$ پالس معکوس را برای ورودی ساعت مشخص می‌نمایند. این بدان معنی است که حاکم در لبه منفی و تابع در لبه مثبت تغییر حالت می‌دهند. بنابراین خروجی در لبه مثبت پالس ساعت تغییر می‌یابد.

توجه کنید که آی‌سی 74LS161 (نوع شوتکی کم مصرف) دارای فلیپ فلاپ‌های حساس به لبه مثبت است.

۱۲-۸ سمبل RAM

سمبل گرافیک استاندارد برای حافظه (RAM) و 74189 در شکل ۱۵-۱۲ ملاحظه می‌شود. اعداد 16×4 که به دنبال RAM آمده است تعداد کلمات و تعداد بیت در هر کلمه را مشخص می‌کند. بلوک کنترل مشترک با چهار خط آدرس و دو ورودی کنترل نشان داده شده است. هر بیت از کلمه در بخش



شکل ۱۵-۱۲ . سمبل گرافیکی برای RAM ، 16×4 ، آی سی 74189

جداگانه‌ای با خط داده ورودی و خروجی نشان داده شده است. وابستگی آدرس A برای شناسایی ورودی‌های آدرس حافظه به کار رفته‌اند. ورودی‌ها و خروجی‌های داده‌ای که با آدرس تحت تأثیر واقع می‌شوند. با حرف A برچسب خورده‌اند. گروه‌بندی بیتی 0 تا 3 محدوده آدرسی از $A0$ تا $A15$ را فراهم می‌نماید. مثلث معکوس شده خروجی‌های سه حالته را بیان می‌نماید. سمبل قطبیت، معکوس شدن خروجی‌ها را مشخص می‌سازد.

طرزکار حافظه با توجه به نشانه وابستگی مشخص می‌گردد. سمبل گرافیک RAM از چهار وابستگی استفاده می‌کند: A(آدرس)، G (AND)، EN(فعال‌ساز) و C(کنترل)، ورودی $G1$ با $1EN$ و $1C2$، AND می‌شود زیرا $G1$ دارای 1 پس از حرف G بوده و دو ورودی دیگر دارای 1 در برچسب خود هستند. وابستگی $C2$ ورودی‌هایی راکه برچسب $2D$ دارند کنترل می‌کند. بنابراین برای یک عمل نوشتن، وابستگی $G1$ و $1C2$ $(CS = 0)$، وابستگی $C2$ و $2D$ $(WE = 0)$، وابستگی A را داریم که آدرس چهار خط آدرس را مشخص می‌سازد. برای یک خواندن، وابستگی $G1$ و $1EN$ $(CS = 0$، $WE = 1)$ و وابستگی A برای خروجی‌ها وجود دارد. تفسیر این وابستگی‌ها عملکرد حافظه را در لیست شکل ۱۸-۱۱ نتیجه می‌دهد.

مسائل

۱-۱۲ شکل ۱-۱۱ مدارهای مجتمع با فشردگی کم را با پایه‌های اختصاص یافته نشان می‌دهد. با استفاده از این اطلاعات، سمبل‌های گرافیکی مستطیل شکل را برای آی‌سی‌های 7400، 7404 و 7486 ترسیم نمایید.

۲-۱۲ موارد زیر را به زبان خود تعریف کنید.

(الف) منطق مثبت و منفی

(ب) فعال بالا و فعال پایین

(پ) شاخص قطبیت

(ت) شاخص دینامیکی

(ث) علامت وابستگی

۳-۱۲ از یک سمبل گرافیکی مثالی را نشان دهید که دارای سه وابستگی بولی G، V و N باشد. تفسیر معادلش را رسم کنید.

۴-۱۲ سمبل گرافیکی یک دیکدر BCD به دهدهی را رسم نمایید. این مشابه با یک دیکدر با 4 ورودی و 10 خروجی است.

۵-۱۲ سمبل گرافیکی یک دیکدر دودویی به هشت هشتی را با سه ورودی فعال‌ساز $E1$، $E2$ و $E3$ بکشید. اگر $E1 = 1$، $E2 = 0$ و $E3 = 0$ باشد مدار فعال می‌گردد (منطق مثبت فرض شود).

۶-۱۲ سمبل گرافیکی یک مولتی پلکسر دوگانه 4 به 1 خط را با ورودی‌های انتخاب مشترک و ورودی فعال‌ساز جداگانه برای هر مولتی پلکسر ترسیم نمایید.

۷-۱۲ سمبل گرافیکی را برای فلیپ فلاپ‌های زیر رسم کنید.

(الف) فلیپ فلاپ D حساس به لبه منفی

(ب) فلیپ فلاپ حاکم- تابع RS

(پ) فلیپ فلاپ T حساس به لبه مثبت

۱۲-۸ کار بلوک کنترل مشترک را وقتی با سمبل‌های گرافیکی استاندارد به‌کار می‌رود توضیح دهید.

۱۲-۹ سمبل گرافیکی یک ثبات 4 بیت با بار شدن موازی، برچسب $M1$ برای ورودی بارکردن و $C2$ برای ساعت رسم کنید.

۱۲-۱۰ همه سمبل‌های به‌کار رفته در نمودار شکل ۱۲-۱۲ را توضیح دهید.

۱۲-۱۱ سمبل گرافیکی یک شمارنده دودویی بالا- پایین‌شمار همزمان با ورودی حالت (برای بالا و پایین)، و ورودی شمارش فعال با وابستگی G را رسم نمایید.

۱۲-۱۲ سمبل گرافیکی یک RAM 256×1 را رسم نمایید. برای خروجی‌های سه حالته سمبل در نظر بگیرید.

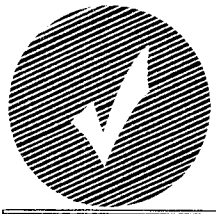
مراجع

1. 1984. *IEEE Standard Graphic Symbols for Logic Functions* (ANSI/IEEE Std. 91-1984). New York: Institute of Electrical and Electronics Engineers.

2. KAMPEL, I. 1985. *A Practical Introduction to the New Logic Symbols.* Boston: Butterworth.

3. MANN, F. A. 1984. *Explanation of New Logic Symbols.* Dallas: Texas Instruments.

4. 1985. *The TTL Data Book,* Volume 1. Dallas: Texas Instruments.



پاسخ به مسائل انتخابی

فصل ۱

۱-۲ (الف) 32,768 (ب) 67, 108, 864 (پ) 6, 871, 947, 674

۱-۴ $(198)_{12} = 260$ $(4310)_5 = 580$

۱-۵ (الف) 6 (ب) 8 (پ) 11

۱-۶ 8

۱-۷ 22.3125 (هر سه)

۱-۹ 64276 octal

۱-۱۲ (الف) 10000 و 110111 (ب) 958 و 62

۱-۱۹ (الف) 010627 (ب) 009025 (پ) 990975 (ت) 989373

۱-۲۳

دهدهی	1	1	3	6
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	0	0	1	0
4 (یا 0101)	0	1	1	0
5	1	1	1	0
6	0	0	0	1
7 (یا 1001)	1	0	0	1
8	1	1	0	1
9	0	0	1	1

۱-۳۰ 94 = 62 + 32 کاراکتر چاپی

۱-۳۱ بیت ششم از سمت راست

۱-۳۲ (الف) 897 (ب) 564 (پ) 871 (ت) 2,199

فصل ۲

۲-۲ (الف) x (ب) x (پ) y (ت) 0

۲-۳ (الف) B (ب) $z(x + y)$ (پ) $x'y'$ (ت) $x(w + z)$ (ث) 0

۲-۴ (الف) $AB + C'$ (ب) $x + y + x$ (پ) B (ت) $A'(B + C'D)$

۲-۶ (الف) $xy + x'y'$

۲-۸ $F(x, y, z) = \Sigma(1, 4, 5, 6, 7)$

۲-۹ (الف) 10001100 (پ) 00100011 (ت) 01010010

۲-۱۱ (ب) $(x' + y')' + (x + y)' + (y + z')'$

۲-۱۲ $T_1 = A'(B' + C')$ ، $T_2 = A + BC = T_1'$

۲-۱۴ (الف) $\Sigma(3, 5, 6, 7) = \prod(0, 1, 2, 4)$

۲-۱۵ (پ) $F = y'z + y(w + x)$

۲-۱۶ $\Sigma(1, 3, 5, 7, 9, 11, 13, 15) = \prod(0, 2, 4, 6, 8, 10, 12, 14)$

۲-۱۹ (الف) $AB + BC = (A + C)\,B$ (ب) $x' + y + z'$

فصل ۳

۳-۱ (الف) $xy + x'z'$ (ب) $C' + A'B$ (پ) $a' + bc$ (ت) $xy + xz + yz$

۳-۲ (الف) $x'y'$ (ب) $y + x'z$

۳-۳ (الف) $xy + x'z'$ (ب) $x' + yz$ (پ) $C' + A'B$

۳-۴ (الف) y (ب) $BCD + A'BD'$ (پ) $ABD + ABC + CD$

(ت) $wx + w'x'y$

۳-۵ (الف) $xz' + w'y'z + wxy$ (ب) $BD + B'D' + A'B$ یا $BD + B'D' + A'D'$

۳-۶ (الف) $B'D' + A'BD + ABC'$ (ب) $xy' + x'z + wx'y$

۳-۷ (الف) $x'y + z$ (پ) $AC + B'D' + A'BD + B'C$ (یا CD)

۳-۸ (الف) $F(x,y,z) = \Sigma(3,5,6,7)$ (ب) $F(A,B,C,D) = \Sigma(1,3,5,9,12,13,14)$

۳-۹ (الف) اصلی (اساسی): xz و $x'z'$: غیراصلی $w'x$ و $w'z'$

(ب) $F = B'D' + AC + A'BD + (CD$ یا $B'C)$

۳-۱۰ (پ) $F = BC + AC' + A'B'D$

اصلی B'C و AB غیراصلی AB, A'B'D, B'CD, A'C'D

۳-۱۱ (الف) $F = A'B'D' + AD'E + B'C'D'$

۳-۱۲ (ب) $F = (A + D')(B' + D')$

۳-۱۳ (الف) $F = xy + z' = (x + z')(y + z')$

۳-۱۵ (ب) $F = B'D' + CD' + ABC'D = \Sigma(0,2,6,8,10,13,14)$

۳-۱۷ $F' = BD + BC + AC$

۳-۱۹ (الف) $F' = (w + z')(x' + z')(w' + x' + y')$

۳-۳۰ $F = (A \oplus B)(C \oplus D)$

۳-۳۵ خط ۱ : خط تیره مجاز نیست، زیر خط (_) به کار ببرید: مثل 3_ . در پایان نقطه ویرگول (;) لازم دارد.

خط ۲ : ورودی‌ها باید وارد شوند (s در انتها نباشد) آخرین ویرگول (,) را به نقطه ویرگول (;) تبدیل نمایید.

خط ۳ : حرف بزرگ در "Output" نباشد آن را "output"کنید.

خط ۴ : "A" نمی‌تواند خروجی باشد (به عنوان ورودی تعریف شده است).

خط ۵ : "D" نمی‌تواند ورودی باشد (به عنوان خروجی تعریف شده است).

خط ۶ : OR باید با حرف کوچک باشد. آن را به "or" تغییر دهید.

خط ۷ : نقطه ویرگول را حذف کنید (پس از endmodule نقطه ویرگول نیست)

فصل ۴

۴-۱ (الف) $F_1 = A + B'C + BD' + B'D$

$F = A'B + D$

۴-۲ $F = ABC + A'D$

$G = ABC + A'D'$

۴-۳ (ب) 1024 ردیف و 14 ستون

۴-۴ $F = x'y' + x'z'$

۴-۶ $F = xy + xz + yz$

۴-۷ $w = A$ ، $x = A \oplus CB$ ، $y = x \oplus C$ ، $z = y \oplus D$

۴-۸ $w = AB + AC'D'$

۴-۱۰ ورودی‌ها: A, B, C, D : خروجی‌ها: w, x, y, z

$z = D$ ، $y = C \oplus D$ ، $x = B \oplus (C + D)$ ، $w = A \oplus (B + C + D)$

۴-۱۲ (ب) $D = x \oplus y \oplus z$

$$B = x'y + x'z + yz$$

۴-۱۳

	V	C	جمع
(الف)	1	0	1101
(ب)	1	1	0001
(پ)	0	1	0100
(ت)	1	0	1011
(ث)	0	0	1111

۴-۱۴ 60ns

۴-۱۸
$$w = A'B'C'$$
$$x = B \oplus C$$
$$y = C$$
$$z = D'$$

۴-۲۲
$$w = AB + ACD$$
$$x = B'C' + B'D' + BCD$$
$$y = C'D + CD'$$
$$z = D'$$

۴-۲۸
$$F_1 = \Sigma(0, 5, 7)$$
$$F_2 = \Sigma(2, 3, 4)$$
$$F_3 = \Sigma(1, 6, 7)$$

۴-۲۹
$$x = D_0'D_1'$$
$$y = D_0'D_1 + D_0'D_2'$$

۴-۳۴
$$F(A, B, C, D) = \Sigma(1, 6, 7, 9, 10, 11, 12)$$

۴-۳۵
$$AB = 00, F = D$$
$$AB = 01, F = (C + D)'$$
$$AB = 10, F = CD$$
$$AB = 11, F = 1$$

۴-۳۵

```
module Compare (A,B,Y);
input [3:0] A,B; //4-bit data inputs.
output [5:0] Y;  //6-bit comparator ouput.
reg [5:0] Y;     //EQ,NE,GT,LT,GE,LE
always @ (A or B)
      if (A==B)      Y = 6'b100011; //EQ,GE,LE
 else if (A < B)     Y = 6'b010101; //NE,LT,LE
      else           Y = 6'b011010; //NE,GT,GE
endmodule
```

۴-۴۲ (پ)

```
module Convrt_bhv (BCD, EXS3);
input [4:1] BCD;
output [4:1] EXS3;
reg [4:1] EXS3;
   always @ (BCD)
     EXS3 = BCD + 4'b0011;
endmodule
```

فصل ۵

۵-۴ (ب) $PQ' + NQ$

۵-۷ $S = x \oplus y \oplus Q$

$Q(t+1) = xy + xQ + yQ$

۵-۸ شمارنده‌ای با رشته تکراری 10, 01, 00

۵-۹ (الف) $A(t+1) = xA' + AB$

$B(t+1) = xB' + A'B$

۵-۱۰ (پ) $A(t+1) = xB + x'A + yA + y'A'B'$

$B(t+1) = xA'B' + x'A'B + y'A'B$

۵-۱۱

حالت فعلی:	00	00	01	00	01	11	00	01	11	10	00	01	11	10	10
ورودی:	0	1	0	1	1	0	1	1	1	0	1	1	1	1	0
خروجی:	0	0	1	0	0	1	0	0	0	1	0	0	0	0	1
حالت بعدی:	00	01	00	01	11	00	01	11	10	00	01	11	10	10	00

۵-۱۲

	حالت بعدی		خروجی	
حالت فعلی	**0**	**1**	**0**	**1**
a	*f*	*b*	0	0
b	*d*	*a*	0	0
d	*g*	*a*	1	0
f	*f*	*b*	1	1
g	*g*	*d*	0	1

۵-۱۳ (الف)

State: *a f b c e d g h g g h a*
Input: 0 1 1 1 0 0 1 0 0 1 1
Output: 0 1 0 0 0 1 1 1 0 1 0

(ب)

State: *a f b a b d g d g g d a*
Input: 0 1 1 1 0 0 1 0 0 1 0
Output: 0 1 0 0 0 1 1 1 0 1 0

۵-۱۵ $D_Q = Q'J + QK'$

۵-۱۶ $D_A = Ax' + Bx$
$D_B = A'x + Bx'$

۵-۱۸ $J_A = K_A = (Bx + B'x')E$
$J_B = K_B = E$

۵-۱۹ (الف)
$D_A = A'B'x$
$D_B = A + C'x' + BCx$
$D_C = Cx' + Ax + A'B'x'$
$y = A'x$

۵-۲۳ (الف) RegA = 125, RegB = 125

(ب) RegA = 125, RegB = 30

۵-۲۶ $Q(t + 1) = JQ' + K'Q$
When $Q = 0, Q(t + 1) = J$
When $Q = 1, Q(t + 1) = K'$

```
always @ (posedge CLK)
   if (Q==0) Q = J;
   else Q = ~K;
```

۵-۳۰ دو فلیپ فلاپ E و Q با CLK

گیت AND با ورودی‌های A و B به ورودی D فلیپ فلاپ E می‌رود.

گیت OR با ورودی‌های E و C به ورودی D فلیپ فلاپ Q می‌رود.

اگر عبارتی که تخصیص‌های بلوکی را با سمبل (=) به کار برد، آنگاه فلیپ فلاپ Q باید با ورودی D که به جای اتصال به $C + E$ به $C + AB$ وصل است ترسیم شود (یک گیت AND و یک گیت OR).

فصل ۶

۶-۴ 1110; 0111; 1011; 1101; 0110; 1011

۶-۸ A = 0010, 0001, 1000, 1100. Carry = 1, 1, 1, 0

۶-۹ (ب) $J_Q = x'y$; $K_Q = (x' + y)'$

۶-۱۴ (الف) 4; (ب) 9; (پ) 10

۶-۱۵ 50ns; 20MHz

۶-۱۶ $1010 \rightarrow 1011 \rightarrow 0100$
$1100 \rightarrow 1101 \rightarrow 0100$
$1110 \rightarrow 1111 \rightarrow 0000$

۶-۱۷

$$D_{A0} = A_0 \oplus E$$
$$D_{A1} = A_1 \oplus (A_0 E)$$
$$D_{A2} = A_2 \oplus (A_1 A_0 E)$$
$$D_{A3} = A_3 \oplus (A_2 A_1 A_0 E)$$

۶-۱۹ (ب)

$$D_{Q1} = Q_1'$$
$$D_{Q2} = Q_2 Q_1' + Q_8' Q_2' Q_1$$
$$D_{Q4} = Q_4 Q_1' + Q_4 Q_2' + Q_4' Q_2' Q_1$$
$$D_{Q8} = Q_8 Q_1' + Q_4 Q_2 Q_1$$

۶-۲۱

$$J_{A0} = LI_0 + L'C$$
$$K_{A0} = LI_0' + L'C$$

۶-۲۴

$$T_A = A \oplus B$$
$$T_B = B \oplus C$$
$$T_C = AC + A'C' \quad \text{خود شروع نیست}$$
$$= AC + A'B'C \quad \text{خود شروع است}$$

۶-۲۶ یک شمارنده دو بیت به کار ببرید

۶-۲۸

$$D_A = A \oplus B$$
$$D_B = AB' + C$$
$$D_C = A'B'C'$$

۶-۳۴

```
module Shiftreg (SI,SO,CLK);
  input SI,CLK;
  output SO;
  reg [3:0] Q;
  assign SO = Q[0];
  always @ (posedge CLK)
    Q = {SI,Q[3:1]};
endmodule
```

۶-۳۶ (الف)

```
module updown (Up,Down,Load,IN,OUT,CLK)
  input Up,Down,Load,CLK;
  input [3:0] IN;
  output [3:0] OUT;
  reg [3:0] OUT;
  always @ (posedge CLK)
    if (Load) OUT = IN;
    else if (Up) OUT = OUT + 4'b0001;
    else if(Down)OUT = OUT -  4'b0001;
    else OUT = OUT;
endmodule
```

فصل ۷

۷-۲ (الف) 2^{13} (ب) 2^{31} (پ) 2^{26} (ت) 2^{21}

۷-۳ آدرس: 1011010011 = 2D3(hex)

داده: 0000 1101 0111 1011 = 0E7B(hex)

۷-۷ (الف) 7×128 decoders , 256 AND gates (ب) $x = 46; y = 112$

۷-۸ (الف) 8 chip (ب) 18; 15 (پ) 3×8 decoder

۷-۱۰ 0001 1011 1011 1

۷-۱۱ 101 110 011 001 010

۷-۱۲ (الف) 0101 1010; (ب) 1100 0110; (پ) 1111 0100

۷-۱۳ (الف) 6 (ب) 7 (پ) 7

۷-۱۴ (الف) 0101010

۷-۱۶ 24 پایه

۷-۱۸ (الف) 256×8 (ب) 512×5 (پ) 1024×4 (ت) 32×7

۷-۲۰ جملات ضرب: $x'y, z$, xy' , $x'y'z$, xz' , yz'

۷-۲۴
$$A = yz' + xz' + x'y'z$$
$$B = x'y' + xy + yz$$
$$C = A + xyz$$
$$D = z + x'y$$

فصل ۸

۸-۱ (الف) انتقال و افزایش در یک لبه ساعت رخ می‌دهند. پس از انتقال، محتوای R2 یکی بیشتر از $R1$ است.

(ب) محتوای $R3$ را یک واحد کم کنید.

(پ) اگر ($T1 = 1$) باشد، محتوای $R1$ را به $R0$ منتقل نمایید.

۸-۷ چارت ASM

$T0$: حالت اولیه: اگر ($S = 1$) آنگاه (ورودی $A \leftarrow RA$ ، ورودی $B \leftarrow RB$ ، سپس به $T1$ برو.)

$T1$: (متمم RB) + $RA \leftarrow RA$ ، (متمم نقلی) ← بیت قرض، به $T2$ برو

$T2$: اگر (قرض = 0) آنگاه به $T0$ برو. اگر (بیت قرض = 1) آنگاه $RA \leftarrow$ (متمم 2 ثبات RA ، به $T0$ برو

۸-۸ $T0$: داده ورودی $\leftarrow AR$ ، داده ورودی $\leftarrow BR$

$T1$: اگر (AR [15] = 1(بیت علامت منفی است) آنگاه AR(جابجایی به راست، گسترش علامت) ← CR در غیر این صورت ($AR = 0$) آنگاه ($CR \leftarrow 0$)
در غیر این صورت (مثبت غیرصفر) آنگاه ([15] ⊕ [14]) ← BR سرریز)
$CR \leftarrow BR$ (جابجایی به چپ)

۸-۹
$$D_{T0} = T_2 + S'T_0$$
$$D_{T1} = ST_0 + (A_3A_4)'T_1$$
$$D_{T2} = A_3A_4T_1$$

۸-۱۱
$$D_A = A'B + Ax$$
$$D_B = A'B'x + A'By + xy$$

۸-۱۴ چارت ASM:
$T0$: (مقدار اولیه) اگر $S = 0$ به حالت $T0$ بازگردد
اگر ($S = 1$) آنگاه مضروب ← BR، مضروب فیه ← AR، $0 \leftarrow PR$، به $T1$ برو

۸-۱۵ $(2^n - 1)(2^n - 1) < (2^{2n} - 1)$ for $n \geq 1$

۸-۱۶ (الف) سایز حاصلضرب ماکزیمم برابر 32 بیت در ثبات‌های A و Q
(ب) شمارنده P باید 5 بیتی باشد تا در ابتدا 10000 را ذخیره کند.
(پ) تشخیص Z (صفر)

۸-۱۸ $2(n + 1)$t

۸-۱۹
MUX1: 0, 1, 1, Z'
MUX2: S, 0, 1, 0

۸-۲۱ (الف) $E = 1$ (ب) $E = 0$

۸-۲۲
A = 0110, B = 0010, C = 0000.

A * B = 1100	A|B = 0110	A && C = 0
A + B = 1000	A ∧ B = 0100	|A = 1
A − B = 0100	&A = 0	A < B = 0
~C = 1111	~|C = 1	A > B = 1
A & B = 0010	A||B = 1	A !=B = 1

۸-۲۸

```
//Declare all inputs, outputs, and registers
     assign Z = ~|AR; //Z = 1 if AR = 0
     always @ (posedge CLK or negedge Clr)
        if (~Clr) pstate = T0;
        else pstate <= nstate;
     always @ (S or Z or pstate)
        case (pstate)
          T0: if (S) nstate = T1;
              else  nstate = T0;
```

```
        T1: if (Z) nstate = T0;
            else  nstate = T2;
        T2:    nstate = T1;
    endcase
always @ (posedge CLK)
    case (pstate)
        T0: if (S)
              begin
                AR <= Ain;
                BR <= Bin;
                PR <= 0;
              end
        T2:  begin
                PR <= PR + BR;
                AR <= AR - 8'b1;
              end
    endcase
```

فصل ۹

۹-۲ رشته Y_1Y_1 : 00, 01, 11, 11, 01, 00, 00

۹-۳ (ت) وقتی ورودی 01 باشد، خروجی 0 است. وقتی ورودی 10 است خروجی 1 می‌باشد. هر وقت ورودی دو ترکیب دیگر را دارا باشد، خروجی در مقدار قبلی باقی می‌ماند.

۹-۴ (پ)

	00	01	11	10
a	ⓐ, 0	b, 1	c, 1	d, 0
b	a , 0	ⓑ, 1	c, 1	ⓑ, 0
c	ⓒ, 1	b, 1	ⓒ, 1	d, 0
d	c, 1	b, 1	c, 1	ⓓ, 1

۹-۵ (پ)

$$Y_1 = x_1'x_2 + x_2y_1$$
$$Y_2 = x_2 + x_1y_2$$
$$z = x_1x_2y_1' + x_1y_2'$$

۹-۱۰

$$S = x_2x_2'$$
$$R = x_1'x_2$$

۹-۱۳ (ب) دو جدول گذر ممکن

	00	01	11	10
a	ⓐ, 0	*b*, –	–, –	*e*, –
b	ⓑ, 1	ⓑ, 1	–, –	*d*, –
d	*a*, –	ⓓ, 1	–, –	ⓓ, 1
e	ⓔ, 1	*d*, –	–, –	ⓔ, 1

	00	01	11	10
a	ⓐ, 0	*b*, –	–, –	*b*, –
b	*c*, –	ⓑ, 1	–, –	ⓑ, 0
c	ⓒ, 1	*d*, –	–, –	*d*, –
d	*a*, –	ⓓ, 1	–, –	ⓓ, 1

۹-۱۸ 3a: $(a, b)(c, d)(e, f, g, h)$
3b: $(a, e, f)(b, j)(c, d)(g, h)(k)$

۹-۲۰ به تخصیص دودویی، g و h را اضافه کنید.

	00	01	11	10
0	*a*	*g*	*b*	*f*
1	*c*	*h*	*d*	*e*

۹-۲۲ $F = A'D' + AC'D' + A'BC + A'CD'$

۹-۲۳ $Y = (x_1 + x_2')(x_2 + x_3)(x_1 + x_3)$

فصل ۱۰

۱۰-۱ گنجایش خروجی = 10؛ توان مصرفی = 18.75 mW، تأخیر انتشار = 3ns
حد پارازیت = 0.3V

۱۰-۲ (الف) 1.058V (ب) 0.82V (پ) 0.238V

۱۰-۳ $I_B = 0.44\text{mA}$, $I_{CS} = 2.4\text{mA}$

۱۰-۴ (الف) 2.4mA (ب) 0.82mA (پ) 2.4+0.82N (ت) 7.8 (ث) 7

۱۰-۵ (ب) 3.53 (پ) 2.585mA (ت) 16mA (ث) 300Ω

۱۰-۹ (الف) 4.62mA (ب) 4mA

۱۰-۱۰ 0.3V

واژه‌نامه

آرایه گیتی برنامه‌پذیر موردی field programmable gate array	
آرایه منطقی برنامه‌پذیر programmable logic array	
آگاه گر آدرس سطر	row address strobe
ادغام - سنتز - ترکیب	synthesis
ادغام	merging
اصل توزیع پذیری	distributive low
اصل جابجایی	commutative
اصل شرکت پذیری	associative
افکتورهای فورمت	format effector
امپدانس بالا	high impedance
انتخابگر	selector
انتخابگر تراشه	chip select
سطح انتقال بین ثباتی	register transfer level
انکدر	encoder
یک بارز	one-hot
بازگشت نورد	carriage return
باز نشان مستقیم	direct reset
بازنشانی	reset
بالا به پایین	top-down
بردار	vector
برنامه تست	test bench
بسته بودن	closure
بلوکی	blocking
بیت تست	check bit
پایین به بالا	buttom-up
پایین شمار	count - down counter
پردازشگر	processor
پسبر	backspace
پیش بینی نقلی	look a head carry
پیش تنظیم	preset
تئوری وفاق	consensus theorem
تابع	slave
تابع غیرکامل	incompletely specified function
تأخیر انتشار	propagation delay
تخصیص اجرایی	procedural state assignment

تراشه	chip
تست توازن	parity check
تصدیق منفی	negative acknowledge
تعریف شده به وسیله کاربر	user-defined
تکلیف	task
تنظیم مستقیم	direct set
توازن	parity
تواناساز	enable
توان مصرفی	power dissipation
توصیف ساختاری	structural description
توصیف مدار	circuit description module

(ث)

ثبات توالی	sequence register

(ج)

جداساز رکورد	record separator
جداساز فایل	file separator
جداسازی اطلاعات	information separator
جدول ایجاب	implication table
جدول‌بندی افقی	horizontol tabulation
جدول تحریک	exitation table
جدول روند	flow table
جدول گذر	transition table
جمع کننده کامل	full adder
جورج بول	G.boole

(چ)

چرخه - سیکل	cycle

(ح)

حافظه با دستیابی تصادفی	random access memory
حافظه فقط خواندنی	read only memory
حاکم	master
حالت	state
حالت کلی	total state
حالت متناهی	finite state machine
حد پارازیت	noise margin
حساس به اندازه	case sensetive

(خ)

خاص - فروشنده	vendor - specific
ختم متن	end of text
خط تیره	underscore

(د)

دگروضع	toggle
دهدهی کد شده به دودویی	binary coded decimal
دیسک چندکاره دیجیتال	digital versatile disk
دیکدر	decoder
دی مولتی پلکسر	demultiplexer

(ر)

رقابت بحرانی	critical race
رقابت غیربحرانی	noncritical race

(ز)

زبان توصیف سخت افزاری	hardware decription language
زبان طراحی سخت افزار	hardware description language
زمان برپایی	setup time
زمان نشست	settling time
زمان نگهداری	hold time
زیر خط	under score

(س)

ساعت آزادگرد	free-running clock
سرریز	overflow
سطح انتقال ثباتی	register level transfer
سعی و کاهش	cut - and - try
IC سفارشی	full - custom IC

hierarchical description	سلسه مراتبی
tri - state (three-state)	سه حالته
wire	سیمی

(ش)

simulation	شبیه سازی
start of text	شروع متن
switch-tail ring counter	شمارنده حلقوی دنباله چرخان

(ض)

schematic capture	ضبط تصویری

(ط)

computer aided design	طراحی باکمک کامپیوتر

(ظ)

stray capacitance	ظرفیت پارازیتی

(ع)

mixed notation	علائم مخلوط
bitwise	عمل بیتی
concatenation	عملگر ادغام
fundamental mode operation	عملیات اساسی
identiy element	عنصر شناسه

(غ)

non-bloking	غیربلوکی
asynchronous	غیر همزمان

(ف)

very large scale	فشردگی خیلی زیاد
large scale	فشردگی زیاد
small scale integration	فشردگی کم
medium scale	فشردگی متوسط

(ک)

communication control characters	کاراکترهای کنترل تبادل اطلاعات
appliction specific	کاربرد خاص
excess -3	کد افزونی -3
american standard code for information interchange	کددودویی استاندارد برای کاراکترهای الفبا عددی اسکی
binary coded decimal	کد دهدهی به دودویی
self complement	کدهای خود متمم

(گ)

fan out	گنجایش خروجی
fan in	گنجایش ورودی
primitive gate	گیت‌های اصلی

(ل)

transparent	لچ شفاف

(م)

algorithmic stste machine ASM	ماشین حالت الگوریتمی
canonical	متعارف
signed complement system	متمم - علامت‌دار
appliction standard IC	مدارات مجتمع خاص
clock generator	مدارهای ترتیبی ساعت‌دار
behavioral modeling	مدلسازی رفتاری
continuous state assignment	مدل سازی رونده داده
structural modeling	مدل‌سازی ساخت یافته
switch-level modeling	مدل‌سازی سطح سوئیچ
instantiation	ذکر
stimulus module	مدول محرک
modulus	مدولوس:عملی ریاضی که نتیجه آن باقیمانده یک تقسیم است
data path	مسیر داده
valied	معتبر

معکوس	inverse
سیستم مقدار-علامت‌دار	signed-magnitude system
خروجی مقصد یا هدف	target output
ممیز	radix
منطق آرایه‌ای برنامه‌پذیر	logic programmable array
مواردی که به وسیله کاربر تعریف می‌شود	user defined primitives
موجب‌های اصلی	prime implicant
موجب‌های اصلی اساسی	essential prime implicant
مولتی پلکسر	multiplexer

(ن)

نشاندن	set
نشانه لبه	edge qualifire
نقشه مرکب	composit map
نقلی	carry
نقلی انتهایی	end carry
نقلی چرخشی	end around carry
نمودار تصویری	schematic
نیم جمع‌کننده	half adder

(و)

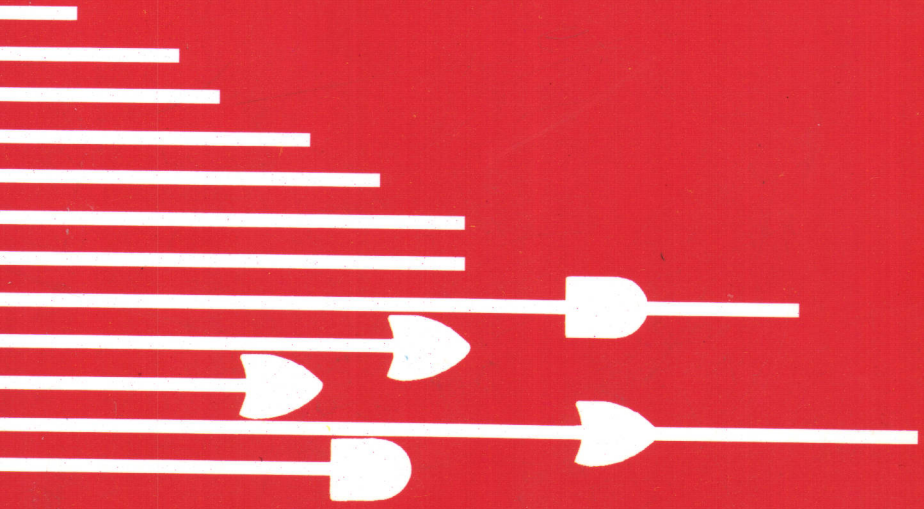
واحد پردازش مرکزی	central processing unit
واحدهای زمانی	time units
ورودی پاک	clear
وسیله منطقی برنامه‌پذیر	programmable logic device
وسیله منطقی برنامه‌پذیر پیچیده	complex programmable logic divice
وسیله منطقی برنامه‌پذیر ترتیبی	sequential (or simple) programmable logic device
وضعیت رقابتی	race condition

(ه)

همزمان	synchronous
NC	not connected

DIGITAL DESIGN

M.MORRIS MANO



انتشارات خراسان

مرکز پخش : مشهد، چهارراه دکترا ، انتشارات خراسان تلفن (دورنما) : ۸۴۱۱۸۲۱